



Eletrônica Digital Moderna e VHDL

Volnei A. Pedroni, Elsevier, 2010

Tradução (com revisão, atualização e ampliação) de
Digital Electronics and Design with VHDL
Elsevier / Morgan Kaufmann, USA, 2008



Conteúdo

1 Introdução

- 1.1 Notas Históricas
- 1.2 Analógico versus Digital
- 1.3 Bits, Bytes e Palavras
- 1.4 Circuitos Digitais
- 1.5 Circuitos Combinacionais versus Circuitos Sequenciais
- 1.6 Circuitos Integrados
- 1.7 Placas de Circuito Impresso
- 1.8 Valores Lógicos versus Valores Físicos
- 1.9 Não Programável, Programável e com Hardware Programável
- 1.10 Formas de Ondas Binárias
- 1.11 Respostas DC, AC e Transiente
- 1.12 Dispositivos Lógicos Programáveis
- 1.13 Síntese e Simulação de Circuitos com VHDL
- 1.14 Simulação de Circuitos com SPICE
- 1.15 Análise no Nível de Portas Lógicas versus no Nível de Transistor

2 Representações Binárias

- 2.1 Código Binário
- 2.2 Códigos Octal e Hexadecimal
- 2.3 Código Gray
- 2.4 Código One-Hot
- 2.5 Código Johnson
- 2.6 Código BCD
- 2.7 Códigos para Números Negativos
 - 2.7.1 Código Sinal-Magnitude
 - 2.7.2 Código Complemento de Um
 - 2.7.3 Adição Binária
 - 2.7.4 Código Complemento de Dois
- 2.8 Representação por Ponto Flutuante
 - 2.8.1 Padrão IEEE 754
 - 2.8.2 Ponto Flutuante versus Inteiro
- 2.9 Código ASCII
 - 2.9.1 Código ASCII
 - 2.9.2 Código ASCII Estendido
- 2.10 Código Unicode
 - 2.10.1 Caracteres Unicode
 - 2.10.2 Codificação UTF-8
 - 2.10.3 Codificação UTF-16
 - 2.10.4 Codificação UTF-32
- 2.11 Exercícios

3 Aritmética Binária 47

- 3.1 Adição sem Sinal
- 3.2 Adição e Subtração com Sinal
- 3.3 Operações de Deslocamento (Shift)

- 3.4 Multiplicação sem Sinal
- 3.5 Multiplicação com Sinal
- 3.6 Divisão sem Sinal
- 3.7 Divisão com Sinal
- 3.8 Adição e Subtração com Ponto Flutuante
- 3.9 Multiplicação com Ponto Flutuante
- 3.10 Divisão com Ponto Flutuante
- 3.11 Exercícios

4 Introdução aos Circuitos Digitais 69

- 4.1 Introdução ao Transistor MOS
- 4.2 Inversor e Lógica CMOS
 - 4.2.1 Inversor
 - 4.2.2 Lógica CMOS
 - 4.2.3 Consumo de Energia
 - 4.2.4 Produto Potência-Atraso
 - 4.2.5 Voltagens Lógicas
 - 4.2.6 Diagramas de Tempo para Circuitos Combinacionais
- 4.3 Portas AND e NAND
- 4.4 Portas OR e NOR
- 4.5 Portas XOR e XNOR
- 4.6 Somador de Módulo 2
- 4.7 Buffer
- 4.8 Buffer de Três Estados
- 4.9 Buffer de Dreno Aberto
- 4.10 Flip-Flop Tipo D
- 4.11 Registradores de Deslocamento
- 4.12 Contadores
- 4.13 Gerador de Sequência Pseudorandômica
- 4.14 Exercícios

5 Álgebra Booleana

- 5.1 Álgebra Booleana
- 5.2 Tabelas Verdade
- 5.3 Minterms e Equações SOP
- 5.4 Maxterms e Equações POS
- 5.5 Circuitos Padrões para Equações SOP e POS
- 5.6 Mapas de Karnaugh
- 5.7 Mapas de Karnaugh Extensos
- 5.8 Outras Técnicas de Simplificação de Funções
 - 5.8.1 O Algoritmo de Quine-McCluskey
 - 5.8.2 Outros algoritmos de Simplificação
- 5.9 Tempo de Propagação e Glitches
- 5.10 Exercícios

6 Códigos de Linha

- 6.1 Utilização de Códigos de Linha
- 6.2 Parâmetros e Tipos de Códigos de Linha
- 6.3 Códigos Unipolares
- 6.4 Códigos Polares
- 6.5 Códigos Bipolares
- 6.6 Códigos Bifase/Manchester
- 6.7 Códigos MLT
- 6.8 Códigos mB/nB
- 6.9 Códigos PAM
- 6.10 Exercícios

7 Códigos Detectores e Corretores de Erros

- 7.1 Códigos de Detecção e Correção de Erros

- 7.2 Códigos de Verificação de Paridade Simples (SPC)
- 7.3 Códigos de Redundância Cíclica (CRC)
- 7.4 Códigos Hamming
- 7.5 Códigos Reed-Solomon (RS)
- 7.6 Intercalação
- 7.7 Códigos Convolucionais
- 7.8 Decodificador de Viterbi
- 7.9 Códigos Turbo
- 7.10 Códigos com Matriz Paridade de Baixa Densidade (LDPC)
- 7.11 Exercícios

8 Transistor Bipolar

- 8.1 Semicondutores
- 8.2 O Transistor Bipolar (BJT)
- 8.3 Características I-V
- 8.4 Resposta DC
- 8.5 Resposta Transiente
- 8.6 Resposta AC
- 8.7 Transistores Bipolares Modernos
 - 8.7.1 BJT com Emissor de Polissilício
 - 8.7.2 BJT com Junção Heterogênea
- 8.8 Exercícios

9 Transistor de Efeito de Campo

- 9.1 Semicondutores
- 9.2 O Transistor de Efeito de Campo (MOSFET)
 - 9.2.1 Construção do MOSFET
 - 9.2.2 Funcionamento do MOSFET
- 9.3 Características I-V
- 9.4 Resposta DC
- 9.5 Inversor CMOS
- 9.6 Resposta Transiente
- 9.7 Resposta AC
- 9.8 MOSFETs Modernos
 - 9.8.1 MOSFETs Si-SiGe Deformados
 - 9.8.2 MOSFETs SOI
 - 9.8.3 Tecnologia BiCMOS
- 9.9 Exercícios

10 Famílias Lógicas e I/Os

- 10.1 Famílias Lógicas Baseadas em BJT
- 10.2 Lógica Diodo-Transistor (DTL)
- 10.3 Lógica Transistor-Transistor (TTL)
 - 10.3.1 Circuito TTL
 - 10.3.2 Faixas de Temperatura
 - 10.3.3 Versões TTL
 - 10.3.4 Fan-In e Fan-Out
 - 10.3.5 Tensão de Alimentação, Tensões de Sinal e Margem de Ruído
- 10.4 Lógica Acoplada pelo Emissor (ECL)
- 10.5 Famílias Lógicas Baseadas em MOSFET
- 10.6 Lógica CMOS
 - 10.6.1 Circuitos CMOS
 - 10.6.2 Famílias CMOS HC e HCT
 - 10.6.3 Interface CMOS-TTL
 - 10.6.4 Fan-In e Fan-Out
 - 10.6.5 Tensão de Alimentação, Tensões de Sinal e Margem de Ruído
 - 10.6.6 CMOS de Baixa Tensão
 - 10.6.7 Consumo de Potência
 - 10.6.8 Produto Potência-Atraso

- 10.7 Outras Arquiteturas MOS Estáticas
 - 10.7.1 Lógica Pseudo-nMOS
 - 10.7.2 Lógica com Portas de Transmissão
 - 10.7.3 Lógica BiCMOS
- 10.8 Arquiteturas MOS Dinâmicas
 - 10.8.1 Lógica Dinâmica
 - 10.8.2 Lógica Dominó
 - 10.8.3 Lógica CMOS com Clock (C²MOS)
- 10.9 Circuitos de I/O Modernos
 - 10.9.1 Padrões TTL e LVTTTL
 - 10.9.2 Padrões CMOS e LVCMOS
 - 10.9.3 Padrões SSTL
 - 10.9.4 Padrões HSTL
 - 10.9.5 Padrão LVDS
 - 10.9.6 Exemplo de Uso do LVDS: PCI Express Bus
- 10.10 Exercícios

11 Circuitos Combinacionais Lógicos

- 11.1 Circuitos Combinacionais versus Circuitos Sequenciais
- 11.2 Circuitos Lógicos versus Circuitos Aritméticos
- 11.3 Portas Lógicas Básicas
- 11.4 Portas Lógicas Compostas
 - 11.4.1 Circuito CMOS baseado em SOP
 - 11.4.2 Circuito CMOS baseado em POS
- 11.5 Codificadores e Decodificadores
 - 11.5.1 Decodificador de Endereço
 - 11.5.2 Decodificador de Endereço com Enable
 - 11.5.3 Decodificadores de Endereço Grandes
 - 11.5.4 Diagramas de Tempo
 - 11.5.5 Codificador de Endereço
- 11.6 Multiplexador
 - 11.6.1 Multiplexadores Básicos
 - 11.6.2 Multiplexadores Grandes
 - 11.6.3 Diagramas de Tempo
- 11.7 Detector de Paridade
- 11.8 Codificador de Prioridade
- 11.9 Ordenador Binário
- 11.10 Deslocadores (Shifters)
- 11.11 Geradores de Clock sem Sobreposição
- 11.12 Estreitadores de Pulsos
- 11.13 Portas com Histerese (Schmitt Triggers)
- 11.14 Memórias
- 11.15 Exercícios
- 11.16 Exercícios com VHDL
- 11.17 Exercícios com SPICE

12 Circuitos Combinacionais Aritméticos

- 12.1 Circuitos Lógicos versus Circuitos Aritméticos
- 12.2 Somadores Básicos
 - 12.2.1 Somador de um Bit (Completo e Parcial)
 - 12.2.2 Somador Carry-Ripple
- 12.3 Somadores Rápidos
 - 12.3.1 Sinais Generate, Propagate e Kill
 - 12.3.2 Abordagens para Somadores Rápidos
 - 12.3.3 Somador Manchester Carry-Chain
 - 12.3.4 Somador Carry-Skip
 - 12.3.5 Somador Carry-Select
 - 12.3.6 Somador Carry-Lookahead
- 12.4 Somador Serial

- 12.5 Somadores/Subtratores com Sinal
 - 12.5.1 Somadores Com Sinal versus Sem Sinal
 - 12.5.2 Subtratores
- 12.6 Incrementador, Decrementador e Complementador de Dois
 - 12.6.1 Incrementador
 - 12.6.2 Decrementador
 - 12.6.3 Complementador de Dois
- 12.7 Comparadores
- 12.8 Unidade Lógica e Aritmética (ALU)
- 12.9 Multiplicadores
 - 12.9.1 Multiplicador Paralelo sem Sinal
 - 12.9.2 Multiplicador Paralelo com Sinal
 - 12.9.3 Multiplicador Paralelo-Serial Sem sinal
 - 12.9.4 Multiplicadores Sem e Com Sinal Baseados em ALU
- 12.10 Divisores
- 12.11 Exercícios
- 12.12 Exercícios com VHDL
- 12.13 Exercícios com SPICE

13 Registradores

- 13.1 Lógica Sequencial versus Lógica Combinacional
- 13.2 Latch SR (SRL)
- 13.3 Latch D (DL)
 - 13.3.1 Funcionamento do DL
 - 13.3.2 Parâmetros Relacionados ao Tempo
 - 13.3.3 Circuitos de DLs
 - 13.3.4 DLs Estáticos Baseados em Multiplexador
 - 13.3.5 DLs Estáticos Tipo RAM
 - 13.3.6 DLs Estáticos de Modo Corrente
 - 13.3.7 DLs Dinâmicos
- 13.4 Flip-Flop D (DFF)
 - 13.4.1 Funcionamento do DFF
 - 13.4.2 Parâmetros Relacionados ao Tempo
 - 13.4.3 Técnicas de Construção de DFFs
 - 13.4.4 Circuitos de DFFs
- 13.5 DFFs Mestre-Escravo
 - 13.5.1 DFFs Mestre-Escravo Clássicos
 - 13.5.2 Atraso de Clock e Transições de Clock Lentas
 - 13.5.3 DFFs Mestre-Escravo Especiais
- 13.6 DFFs Baseados em Pulsos
 - 13.6.1 Estreitadores de Pulsos
 - 13.6.2 DFFs Baseados em Pulsos
- 13.7 DFFs de Borda Dupla
- 13.8 DFFs Estatisticamente de Baixo Consumo
- 13.9 Portas de Controle para DFFs
 - 13.9.1 DFF com Reset e Preset
 - 13.9.2 DFF com Enable
 - 13.9.3 DFF com Clear
- 13.10 Flip-Flop T (TFF)
- 13.11 Exercícios
- 13.12 Exercícios com SPICE

14 Circuitos Sequenciais

- 14.1 Registradores de Deslocamento
- 14.2 Contadores Síncronos
- 14.3 Contadores Assíncronos
- 14.4 Geradores de Sinais
- 14.5 Divisores de Frequência
- 14.6 PLLs e Prescalers

- 14.6.1 PLL Básico
- 14.6.2 Prescaler
- 14.6.3 PLL Programável
- 14.7 Geradores de Sequências Pseudorandômicas
- 14.8 Scramblers e Descramblers
 - 14.8.1 Scramblers e Descramblers Aditivos
 - 14.8.2 Scramblers e Descramblers Multiplicativos
- 14.9 Exercícios
- 14.10 Exercícios com VHDL
- 14.11 Exercícios com SPICE

15 Máquinas de Estados Finitos

- 15.1 Modelo para Máquinas de Estados
- 15.2 Projeto de Máquinas de Estados
- 15.3 Resolução de Sistemas Digitais e Glitches
- 15.4 Projeto de Máquinas com Grande Número de Estados
- 15.5 Projeto de Máquinas com Lógica Combinacional Complexa
- 15.6 Projeto de Sistemas com Múltiplas Máquinas
- 15.7 Técnica Genérica para Projeto de Geradores de Sinais
- 15.8 Projeto de Divisores de Frequência com Fase Simétrica
- 15.9 Estilos de Codificação de Máquinas de Estados
- 15.10 Exercícios
- 15.11 Exercícios com VHDL

16 Memórias Voláteis

- 16.1 Tipos de Memórias
- 16.2 SRAM (Static Random Access Memory)
- 16.3 SRAMs Tipo DDR e QDR
- 16.4 DRAM (Dynamic Random Access Memory)
- 16.5 SDRAM (Synchronous DRAM)
- 16.6 SDRAMs Tipo DDR, DDR2 e DDR3
- 16.7 CAM (Content-Addressable Memory)
- 16.8 Exercícios

17 Memórias Não Voláteis

- 17.1 Tipos de Memórias
- 17.2 MP-ROM (Mask-Programmed ROM)
- 17.3 OTP ROM (One-Time Programmable ROM ou PROM)
- 17.4 EPROM (Electrically Programmable ROM)
- 17.5 EEPROM (Electrically Erasable-Programmable ROM)
- 17.6 Memória Flash
- 17.7 Memórias Não Voláteis de Próxima Geração
 - 17.7.1 FRAM (Ferroelectric RAM)
 - 17.7.2 MRAM (Magnetoresistive RAM)
 - 17.7.3 PRAM (Phase-Change RAM)
- 17.8 Exercícios

18 Dispositivos Lógicos Programáveis (PLDs)

- 18.1 O Conceito de PLDs
- 18.2 SPLDs (Simple PLDs)
 - 18.2.1 PAL (Programmable Array Logic)
 - 18.2.2 PLA (Programmable Logic Array)
 - 18.2.3 GAL (Generic Array Logic)
- 18.3 CPLDs (Complex PLDs)
 - 18.3.1 Arquitetura
 - 18.3.2 CPLDs Xilinx
 - 18.3.3 CPLDs Altera
- 18.4 FPGAs (Field Programmable Gate Arrays)
 - 18.4.1 Tecnologia de FPGAs

- 18.4.2 Arquitetura de FPGAs
- 18.4.3 CLB e Slice da Virtex 5
- 18.4.4 LAB e ALM da Stratix III
- 18.4.5 Blocos RAM
- 18.4.6 Blocos DSP
- 18.4.7 Gerenciamento de Clock
- 18.4.8 Tipos de I/O
- 18.4.9 Características Adicionais
- 18.4.10 Resumo e Comparação
- 18.5 Exercícios

19 Resumo de VHDL

- 19.1 Sobre VHDL
- 19.2 Estrutura do Código VHDL
- 19.3 Bibliotecas e Pacotes Fundamentais
- 19.4 Tipos de Dados Predefinidos
- 19.5 Objetos (CONSTANT, SIGNAL, VARIABLE)
- 19.6 Tipos de Dados Definidos pelo Usuário
- 19.7 Operadores
- 19.8 Atributos
- 19.9 Código Concorrente versus Código Sequencial
- 19.10 Código Concorrente (WHEN, SELECT, GENERATE)
- 19.11 Código Sequencial (PROCESS, IF, CASE, LOOP, WAIT)
- 19.12 ASSERT e ALIAS
- 19.13 Pacotes (PACKAGE)
- 19.14 Componentes (COMPONENT)
- 19.15 Funções (FUNCTION)
- 19.16 Procedimentos (PROCEDURE)
- 19.17 VHDL para Máquinas de Estados
- 19.18 Exercícios

20 Projetos de Circuitos Combinacionais Lógicos com VHDL

- 20.1 Decodificador de Endereço Genérico
- 20.2 Função Conversora de BCD para SSD
- 20.3 Multiplexador Genérico
- 20.4 Codificador de Prioridade Genérico
- 20.5 Projeto de Memória ROM
- 20.6 Projeto de Memórias RAM Síncronas
- 20.7 Exercícios

21 Projetos de Circuitos Combinacionais Aritméticos com VHDL

- 21.1 Somador Tipo Carry-Ripple
- 21.2 Somador Tipo Carry-Lookahead
- 21.3 Somadores/Subtratores Com e Sem Sinal
- 21.4 Multiplicadores/Divisores Com e Sem Sinal
- 21.5 ALU
- 21.6 Exercícios

22 Projetos de Circuitos Sequenciais com VHDL

- 22.1 Registradores de Deslocamento com Data-Load
- 22.2 Debouncer para Chave
- 22.3 Temporizador
- 22.4 Gerador da Série de Fibonacci
- 22.5 Medidores de Frequência
- 22.6 Redes Neurais
- 22.7 Exercícios

23 Projetos de Máquinas de Estados com VHDL

- 23.1 Detector de Palavra

- 23.2 Gerador Universal de Sinais
- 23.3 Alarme para Carro
- 23.4 Driver para LCD
- 23.5 Exercícios

24 Simulação de Circuitos Digitais com VHDL

- 24.1 Síntese versus Simulação
- 24.2 Tipos de Testbenches
- 24.3 Geração de Estímulos
- 24.4 Teste de Estímulos
- 24.5 VHDL Padrão para Testbenches
- 24.6 Desenvolvendo Testbenches do Tipo I
- 24.7 Desenvolvendo Testbenches do Tipo II
- 24.8 Desenvolvendo Testbenches do Tipo III
- 24.9 Desenvolvendo Testbenches do Tipo IV
- 24.10 Exercícios

25 Simulação de Circuitos Digitais com SPICE

- 25.1 Sobre SPICE
- 25.2 Tipos de Análises
- 25.3 Estrutura Básica de um Código SPICE
- 25.4 Declarações de Componentes Eletrônicos
- 25.5 Declarações de Fontes DC Independentes
- 25.6 Declarações de Fontes AC Independentes
- 25.7 Declarações de Fontes Dependentes
- 25.8 Entradas e Saídas em SPICE
- 25.9 Exemplos de Resposta DC
- 25.10 Exemplos de Resposta Transiente
- 25.11 Exemplo de Resposta AC
- 25.12 Análise Monte Carlo
- 25.13 Subcircuitos
- 25.14 Exercícios Envolvendo Circuitos Combinacionais Lógicos
- 25.15 Exercícios Envolvendo Circuitos Combinacionais Aritméticos
- 25.16 Exercícios Envolvendo Registradores
- 25.17 Exercícios Envolvendo Circuitos Sequenciais

Apêndices

- Apêndice A: **Tutorial do Simulador ModelSim**
- Apêndice B: **Tutorial do Simulador Pspice**

Referências

Índice