



Eletrônica Digital Moderna e VHDL

Volnei A. Pedroni, Elsevier, 2010



Tradução (com revisão, atualização e ampliação) de
Digital Electronics and Design with VHDL
Elsevier / Morgan Kaufmann, USA, 2008

Lista de Exemplos e Exercícios (Nomeados) Contidos no Livro

Capítulo 2: Representações Binárias

- Exemplo 2.1. Conversão de decimal para binário
- Exemplo 2.2. Conversão de hexadecimal para decimal
- Exemplo 2.3. Sistemas de números #1
- Exemplo 2.4. Sistemas de números #2
- Exemplo 2.5. Complemento de dois
- Exemplo 2.6. Decimais com sinal e sem sinal
- Exemplo 2.7. Extensão e truncamento em complemento de dois
- Exemplo 2.8. Representação por ponto flutuante #1
- Exemplo 2.9. Representação por ponto flutuante #2
- Exemplo 2.10. Sistema de ponto flutuante hipotético
- Exemplo 2.11. Codificação Unicode UTF-8
- Exemplo 2.12. Codificação Unicode UTF-16
- Exemplo 2.13. Codificação Unicode UTF-32

-
- Exercício 2.1. Número de palavras de código
 - Exercício 2.2. Conversão de binário para decimal #1
 - Exercício 2.3. Conversão de binário para decimal #2
 - Exercício 2.4. Conversão de binário para hexadecimal #1
 - Exercício 2.5. Conversão de binário para hexadecimal #2
 - Exercício 2.6. Conversão de decimal para binário #1
 - Exercício 2.7. Conversão de decimal para binário #2
 - Exercício 2.8. Conversão de decimal para hexadecimal #1
 - Exercício 2.9. Conversão de decimal para hexadecimal #2
 - Exercício 2.10. Conversão de hexadecimal para binário #1
 - Exercício 2.11. Conversão de hexadecimal para binário #2
 - Exercício 2.12. Conversão de hexadecimal para decimal #1
 - Exercício 2.13. Conversão de hexadecimal para decimal #2
 - Exercício 2.14. Conversão de octal para decimal
 - Exercício 2.15. Conversão de decimal para octal
 - Exercício 2.16. Conversão de decimal para BCD #1
 - Exercício 2.17. Conversão de decimal para BCD #2
 - Exercício 2.18. Conversão de BCD para decimal
 - Exercício 2.19. Código gray #1
 - Exercício 2.20. Código gray #2
 - Exercício 2.21. Código one-hot
 - Exercício 2.22. Código Johnson
 - Exercício 2.23. Faixa decimal #1
 - Exercício 2.24. Faixa decimal #2
 - Exercício 2.25. Conversão de decimal para sinal-magnitude
 - Exercício 2.26. Conversão de sinal-magnitude para decimal
 - Exercício 2.27. Conversão de decimal para complemento de um
 - Exercício 2.28. Conversão de complemento de um para decimal
 - Exercício 2.29. Conversão de decimal para complemento de dois #1
 - Exercício 2.30. Conversão de decimal para complemento de dois #2
 - Exercício 2.31. Conversão de complemento de dois para decimal #1
 - Exercício 2.32. Conversão de complemento de dois para decimal #2
 - Exercício 2.33. Representação por ponto flutuante

Exercício 2.34. Conversão de binário para ponto flutuante
Exercício 2.35. Conversão de inteiro para ponto flutuante #1
Exercício 2.36. Conversão de decimal para ponto flutuante #2
Exercício 2.37. Conversão de ponto flutuante para decimal #1
Exercício 2.38. Conversão de ponto flutuante para decimal #2
Exercício 2.39. Código ASCII #1
Exercício 2.40. Código ASCII #2
Exercício 2.41. Código ASCII #3
Exercício 2.42. Codificação em Unicode UTF-8 #1
Exercício 2.43. Codificação Unicode UTF-8 #2
Exercício 2.44. Codificação Unicode UTF-8 #3
Exercício 2.45. Codificação Unicode UTF-16 #1
Exercício 2.46. Codificação Unicode UTF-16 #2
Exercício 2.47. Codificação Unicode UTF-16 #3
Exercício 2.48. Codificação Unicode UTF-32 #1
Exercício 2.49. Codificação Unicode UTF-32 #2
Exercício 2.50. Codificação Unicode UTF-32 #3

Capítulo 3: Aritmética Binária

Exemplo 3.1 Adição sem sinal #1
Exemplo 3.2 Adição sem sinal #2
Exemplo 3.3 Adição com sinal #1
Exemplo 3.4 Adição com sinal #2
Exemplo 3.5 Multiplicação sem sinal
Exemplo 3.6 Multiplicação com sinal
Exemplo 3.7 Divisão com sinal
Exemplo 3.8 Adição com ponto flutuante
Exemplo 3.9 Subtração com ponto flutuante
Exemplo 3.10 Multiplicação com ponto flutuante
Exemplo 3.11 Erro de truncamento
Exemplo 3.12 Divisão com ponto flutuante

Exercício 3.1. Adição sem sinal #1
Exercício 3.2. Adição sem sinal #2
Exercício 3.3. Adição sem sinal #3
Exercício 3.4. Adição com sinal #1
Exercício 3.5. Adição com sinal #2
Exercício 3.6. Adição com sinal #3
Exercício 3.7. Shift lógico #1
Exercício 3.8. Shift lógico #2
Exercício 3.9. Shift aritmético #1
Exercício 3.10. Shift aritmético #2
Exercício 3.11. Shift circular #1
Exercício 3.12. Shift circular #2
Exercício 3.13. Shift versus multiplicação sem sinal
Exercício 3.14. Shift versus multiplicação com sinal
Exercício 3.15. Shift versus divisão sem sinal
Exercício 3.16. Shift versus divisão com sinal
Exercício 3.17. Multiplicação sem sinal #1
Exercício 3.18. Multiplicação sem sinal #2
Exercício 3.19. Multiplicação com sinal #1
Exercício 3.20. Multiplicação com sinal #2
Exercício 3.21. Divisão sem sinal
Exercício 3.22. Divisão com sinal
Exercício 3.23. Adição/subtração com ponto flutuante #1
Exercício 3.24. Adição/subtração com ponto flutuante #2
Exercício 3.25. Adição/subtração com ponto flutuante #3
Exercício 3.26. Multiplicação com ponto flutuante #1
Exercício 3.27. Multiplicação com ponto flutuante #2
Exercício 3.28. Divisão com ponto flutuante #1

Exercício 3.29. Divisão com ponto flutuante #2

Capítulo 4: Introdução aos Circuitos Digitais

- Exemplo 4.1 Diagrama de tempo de um buffer
- Exemplo 4.2 Diagrama de tempo de um circuito combinacional
- Exemplo 4.3 Circuito de duas camadas
- Exemplo 4.4 Pseudocircuito de três camadas
- Exemplo 4.5 Propriedades da função XOR
- Exemplo 4.6 Função paridade de N bits
- Exemplo 4.7 Adição binária versus função OR
- Exemplo 4.8 Drivers de três estados para barramento
- Exemplo 4.9 Divisor de frequência
- Exemplo 4.10 Funcionamento do registrador de deslocamento
- Exemplo 4.11 Contador síncrono descendente
- Exemplo 4.12 Gerador de sequência pseudorandômica

-
- Exercício 4.1. Consumo de potência estática #1
 - Exercício 4.2. Consumo de potência estática #2
 - Exercício 4.3. Consumo de potência estática #3
 - Exercício 4.4. Consumo de potência dinâmica
 - Exercício 4.5. Transistores ideais versus transistores não-ideais
 - Exercício 4.6. Margens de ruído
 - Exercício 4.7. Detectores de zeros e de uns
 - Exercício 4.8. Porta NAND CMOS de três entradas
 - Exercício 4.9. Porta NOR CMOS de quatro entradas
 - Exercício 4.10. Circuito AND/OR #1
 - Exercício 4.11. Circuito AND/OR #2
 - Exercício 4.12. Análise temporal de um par NAND-AND
 - Exercício 4.13. Análise temporal de um par OR-NOR
 - Exercício 4.14. Análise temporal de um par NOR-OR
 - Exercício 4.15. Análise temporal de um circuito de NANDs
 - Exercício 4.16. Propriedades da porta XOR #1
 - Exercício 4.17. Propriedades da porta XOR #2
 - Exercício 4.18. Porta XOR equivalente
 - Exercício 4.19. Porta XOR de 3 entradas
 - Exercício 4.20. Somador de módulo 2
 - Exercício 4.21. Tabela-verdade #1
 - Exercício 4.22. Tabela-verdade #2
 - Exercício 4.23. Combinacional versus seqüencial
 - Exercício 4.24. Driver de barramento bidirecional
 - Exercício 4.25. Buffer de dreno aberto
 - Exercício 4.26. Análise de tempo de um flip-flop #1
 - Exercício 4.27. Análise de tempo de um flip-flop #2
 - Exercício 4.28. Circuito registrador de deslocamento
 - Exercício 4.29. Análise temporal de registrador de deslocamento
 - Exercício 4.30. Número de flip-flops
 - Exercício 4.31. Análise temporal de um contador assíncrono
 - Exercício 4.32. Gerador de sequência pseudorandômica

Capítulo 5: Álgebra Booleana

- Exemplo 5.1 Teorema da absorção
- Exemplo 5.2 Teorema de Shannon
- Exemplo 5.3 Lei de DeMorgan
- Exemplo 5.4 Análise do termo comum
- Exemplo 5.5 Princípio da dualidade #1
- Exemplo 5.6 Princípio da dualidade #2
- Exemplo 5.7 Simplificação de circuito
- Exemplo 5.8 Minterms e implicantes primos
- Exemplo 5.9 Expansão minterm e SOP irreduzível
- Exemplo 5.10 Expansão maxterm e POS irreduzível

Exemplo 5.11 Circuitos padrões SOP e POS
Exemplo 5.12 Circuito SOP padrão
Exemplo 5.13 Circuito POS padrão
Exemplo 5.14 Circuito somente NAND #1
Exemplo 5.15 Circuito somente NAND #2
Exemplo 5.16 SOP mínima
Exemplo 5.17 Provas para o teorema da absorção
Exemplo 5.18 Mapa de Karnaugh para $N = 5$

Exercício 5.1. Teorema do consenso
Exercício 5.2. Teorema de Shannon
Exercício 5.3. Teorema do termo comum
Exercício 5.4. Extensão do termo comum
Exercício 5.5. Teoremas da absorção e do consenso
Exercício 5.6. Identidades binárias
Exercício 5.7. Propriedades XOR
Exercício 5.8. Funções XOR
Exercício 5.9. Lei de DeMorgan #1
Exercício 5.10. Lei de DeMorgan #2
Exercício 5.11. Simplificação de circuito #1
Exercício 5.12. Simplificação de circuito #2
Exercício 5.13. Princípio da dualidade para portas AND
Exercício 5.14. Princípio da dualidade para portas OR
Exercício 5.15. Princípio da dualidade para portas XOR
Exercício 5.16. Expansão minterm/maxterm #1
Exercício 5.17. Expansão minterm/maxterm #2
Exercício 5.18. Expansão minterm/maxterm #3
Exercício 5.19. Implicantes primos e essenciais
Exercício 5.20. Circuito POS padrão
Exercício 5.21. Circuito SOP padrão
Exercício 5.22. Implementação de função #1
Exercício 5.23. Implementação de função #2
Exercício 5.24. Implementação de função #3
Exercício 5.25. Implementação de função #4
Exercício 5.26. Implementação de função #5
Exercício 5.27. Implementação de função #6
Exercício 5.28. Implementação de função #7
Exercício 5.29. Teorema do consenso
Exercício 5.30. Simplificação analítica de função
Exercício 5.31. Simplificação de função com mapas de Karnaugh #1
Exercício 5.32. Simplificação de função com mapas de Karnaugh #2
Exercício 5.33. Simplificação de função com mapas de Karnaugh #3
Exercício 5.34. Simplificação de função com mapas de Karnaugh #4
Exercício 5.35. Simplificação de função com mapas de Karnaugh #5
Exercício 5.36. Simplificação de função com mapas de Karnaugh #6
Exercício 5.37. Mapa de Karnaugh extenso #1
Exercício 5.38. Mapa de Karnaugh extenso #2
Exercício 5.39. Circuito combinacional com glitches #1
Exercício 5.40. Circuito combinacional com glitches #2

Capítulo 6: Códigos de Linha

Exercício 6.1. Cabos UTP
Exercício 6.2. Distorção de canal
Exercício 6.3. Códigos unipolares #1
Exercício 6.4. Códigos unipolares #2
Exercício 6.5. Códigos unipolares #3
Exercício 6.6. Códigos polares #1
Exercício 6.7. Códigos polares #2
Exercício 6.8. Códigos polares #3
Exercício 6.9. Códigos bipolares #1

- Exercício 6.10. Códigos bipolares #2
- Exercício 6.11. Códigos bipolares #3
- Exercício 6.12. Códigos bifase/Manchester #1
- Exercício 6.13. Códigos bifase/Manchester #2
- Exercício 6.14. Códigos bifase/Manchester #3
- Exercício 6.15. Código MLT-3
- Exercício 6.16. Código MLT-5
- Exercício 6.17. Código 4B/5B #1
- Exercício 6.18. Código 4B/5B #2
- Exercício 6.19. Código 4B/5B #3
- Exercício 6.20. Código 8B/10B #1
- Exercício 6.21. Código 8B/10B #2
- Exercício 6.22. Código 8B/10B #3
- Exercício 6.23. Código 2D-PAM5
- Exercício 6.24. Código 4D-PAM5 #1
- Exercício 6.25. Código 4D-PAM5 #2
- Exercício 6.26. Código 4D-PAM5 #3

Capítulo 7: Códigos Detectores e Corretores de Erros

- Exercício 7.1. Código de paridade simples
- Exercício 7.2. Código CRC #1
- Exercício 7.3. Código CRC #2
- Exercício 7.4. Códigos de correção de erros
- Exercício 7.5. Código de Hamming #1
- Exercício 7.6. Código de Hamming #2
- Exercício 7.7. Código de Hamming #3
- Exercício 7.8. Código de Hamming #4
- Exercício 7.9. Código Reed-Solomon
- Exercício 7.10. CDs de áudio #1
- Exercício 7.11. CDs de áudio #2
- Exercício 7.12. Intercalação
- Exercício 7.13. Código convolucional #1
- Exercício 7.14. Código convolucional #2
- Exercício 7.15. Código convolucional #3
- Exercício 7.16. Códigos turbo
- Exercício 7.17. Código LDPC #1
- Exercício 7.18. Código LDPC #2
- Exercício 7.19. Código LDPC #3

Capítulo 8: Transistor Bipolar

- Exemplo 8.1 Resposta DC #1
- Exemplo 8.2 Resposta DC #2
- Exemplo 8.3 Resposta DC #3
- Exemplo 8.4 Parâmetros temporais de transistores

-
- Exercício 8.1. Semicondutores
 - Exercício 8.2. BJT #1
 - Exercício 8.3. BJT #2
 - Exercício 8.4. Resposta DC #1
 - Exercício 8.5. Resposta DC #2
 - Exercício 8.6. Resposta DC #3
 - Exercício 8.7. Resposta DC #4
 - Exercício 8.8. Resposta DC #5
 - Exercício 8.9. Resposta DC #6
 - Exercício 8.10. Resposta DC #7
 - Exercício 8.11. Resposta DC #8
 - Exercício 8.12. Parâmetros dinâmicos de transistores
 - Exercício 8.13. Resposta transiente
 - Exercício 8.14. Aumento da velocidade de chaveamento

Capítulo 9: Transistor de Efeito de Campo

Exemplo 9.1 Resposta DC #1

Exemplo 9.2 Resposta DC #2

Exemplo 9.3 Parâmetros do inversor CMOS

Exemplo 9.4 Resposta transiente de um inversor CMOS

Exercício 9.1. Substrato versus canal do MOSFET

Exercício 9.2. Tecnologia MOS

Exercício 9.3. Funcionamento do transistor pMOS

Exercício 9.4. Característica I-V

Exercício 9.5. Parâmetro β

Exercício 9.6. Resposta DC #1

Exercício 9.7. Resposta DC #2

Exercício 9.8. Resposta DC #3

Exercício 9.9. Resposta DC #4

Exercício 9.10. Corrente de dreno em modo de saturação

Exercício 9.11. Resposta DC #5

Exercício 9.12. Fronteira triodo-saturação do MOSFET

Exercício 9.13. Parâmetro de transcondutância do MOSFET

Exercício 9.14. Inversor CMOS #1

Exercício 9.15. Inversor CMOS #2

Exercício 9.16. Inversor CMOS #3

Exercício 9.17. Inversor CMOS #4

Exercício 9.18. Inversor CMOS #5

Exercício 9.19. Inversor nMOS #6

Exercício 9.20. Inversor nMOS #7

Exercício 9.21. Inversor nMOS #8

Capítulo 10: Famílias Lógicas e I/Os

Exercício 10.1. Circuito lógico #1

Exercício 10.2. Circuito lógico #2

Exercício 10.3. Circuito lógico #3

Exercício 10.4. Série 54

Exercício 10.5. Série 74 #1

Exercício 10.6. Série 74 #2

Exercício 10.7. Tensões de entrada e saída

Exercício 10.8. Correntes de entrada e saída

Exercício 10.9. Fan-out #1

Exercício 10.10. Fan-out #2

Exercício 10.11. Margem de ruído

Exercício 10.12. LVCMOS 3,3 V

Exercício 10.13. LVCMOS 2,5 V

Exercício 10.14. LVCMOS 1,8 V

Exercício 10.15. LVCMOS 1,5 V

Exercício 10.16. LVCMOS 1,2 V

Exercício 10.17. LVCMOS 1 V

Exercício 10.18. Porta LVCMOS com carga #1

Exercício 10.19. Porta LVCMOS com carga #2

Exercício 10.20. Porta NOR

Exercício 10.21. Porta XOR

Exercício 10.22. Porta XNOR

Exercício 10.23. Porta AND com saída de 3 estados

Exercício 10.24. Porta NAND com saída de 3 estados

Exercício 10.25. XOR implementada com TGs

Exercício 10.26. XNOR implementada com TGs

Exercício 10.27. Inversor CMOS

Exercício 10.28. Inversor nMOS

Exercício 10.29. NOR pseudo-nMOS #1

Exercício 10.30. NOR pseudo-nMOS #2

Exercício 10.31. NOR pseudo-nMOS #3

- Exercício 10.32. NAND pseudo-nMOS #1
- Exercício 10.33. NAND pseudo-nMOS #2
- Exercício 10.34. NAND pseudo-nMOS #3
- Exercício 10.35. SSTL
- Exercício 10.36. HSTL
- Exercício 10.37. LVDS

Capítulo 11: Circuitos Combinacionais Lógicos

- Exemplo 11.1 Circuito CMOS baseado em SOP
- Exemplo 11.2 Circuito CMOS baseado em POS
- Exemplo 11.3 Diagrama de tempo de um decodificador de endereço
- Exemplo 11.4 Decodificador SSD
- Exemplo 11.5 Multiplexador baseado em NAND
- Exemplo 11.6 Multiplexador baseado em TG e PT
- Exemplo 11.7 Mux com entradas maiores
- Exemplo 11.8 Mux com mais entradas
- Exemplo 11.9 Análise funcional de um multiplexador
- Exemplo 11.10 Análise de tempo de um multiplexador
- Exemplo 11.11 Funções maioria e mediana

-
- Exercício 11.1. Lógica combinacional × seqüencial
 - Exercício 11.2. Porta lógica composta #1
 - Exercício 11.3. Porta lógica composta #2
 - Exercício 11.4. Porta lógica composta #3
 - Exercício 11.5. Porta lógica composta #4
 - Exercício 11.6. Porta lógica composta #5
 - Exercício 11.7. Porta lógica composta #6
 - Exercício 11.8. Símbolo de decodificador de endereço
 - Exercício 11.9. Decodificador de endereço com portas NAND
 - Exercício 11.10. Decodificador de endereço com enable #1
 - Exercício 11.11. Decodificador de endereço com enable #2
 - Exercício 11.12. Decodificador de endereço com saída de alta
 - Exercício 11.13. Decodificador de endereço com lógica pseudo-nMOS
 - Exercício 11.14. Decodificador de endereço com mais entradas #1
 - Exercício 11.15. Decodificador de endereço com mais entradas #2
 - Exercício 11.16. Análise funcional de decodificador de endereço
 - Exercício 11.17. Análise temporal de decodificador de endereço
 - Exercício 11.18. Decodificador SSD
 - Exercício 11.19. Codificador de endereço
 - Exercício 11.20. Símbolos de multiplexador
 - Exercício 11.21. Multiplexador com portas NAND
 - Exercício 11.22. Multiplexador com TGs
 - Exercício 11.23. Multiplexador com mais entradas
 - Exercício 11.24. Multiplexador com mais bits por entrada
 - Exercício 11.25. Multiplexador com saída de alta impedância #1
 - Exercício 11.26. Multiplexador com saída de alta impedância #2
 - Exercício 11.27. Análise funcional de multiplexador
 - Exercício 11.28. Análise temporal de multiplexador
 - Exercício 11.29. Detector de paridade
 - Exercício 11.30. Codificador de prioridade
 - Exercício 11.31. Ordenador binário
 - Exercício 11.32. Rotator lógico
 - Exercício 11.33. Deslocador Lógico
 - Exercício 11.34. Geradores de clock sem sobreposição
 - Exercício 11.35. Schmitt triggers

Capítulo 12: Circuitos Combinacionais Aritméticos

- Exemplo 12.1 Circuito carry-lookahead de quatro bits
- Exemplo 12.2 Adição e subtração sem e com sinal
- Exemplo 12.3 Comparador com sinal

Exemplo 12.4 Análise funcional de um multiplicador paralelo-serial

Exemplo 12.5 Análise temporal de um multiplicador paralelo-serial

Exercício 12.1. Funcionamento do somador de 1 bit completo (FA)

Exercício 12.2. Somador carry-ripple #1

Exercício 12.3. Somador carry-ripple #2

Exercício 12.4. Somador carry-ripple #3

Exercício 12.5. Diagrama de tempo de um somador carry-ripple

Exercício 12.7. Somador Manchester carry-chain

Exercício 12.8. Somador carry-lookahead

Exercício 12.9. Diagrama de tempo de um somador serial #1

Exercício 12.10. Diagrama de tempo de um somador serial #2

Exercício 12.11. Diagrama de tempo de um somador serial #3

Exercício 12.12. Diagrama de tempo de um somador serial #4

Exercício 12.13. Incrementador

Exercício 12.14. Decrementador

Exercício 12.15. Complementador de dois

Exercício 12.16. Equação e projeto de um comparador

Exercício 12.17. Funcionamento de um comparador sem sinal #1

Exercício 12.18. Funcionamento de um comparador sem sinal #2

Exercício 12.19. Comparador completo sem sinal

Exercício 12.20. Funcionamento de um comparador com sinal

Exercício 12.21. Comparador de valor absoluto

Exercício 12.22. Funcionamento de um multiplicador paralelo

Exercício 12.23. Funcionamento de um multiplicador paralelo-serial

Exercício 12.24. Diagrama de tempo de um multiplicador paralelo-serial

Capítulo 13: Registradores

Exemplo 13.1 Análise funcional de um DL

Exemplo 13.2 Análise temporal de um DL

Exemplo 13.3 Análise funcional de um DFF

Exemplo 13.4 Análise temporal de um DFF

Exemplo 13.5 Contador assíncrono

Exercício 13.1. Do latch SR para o latch D

Exercício 13.2. Análise de tempo de um DL

Exercício 13.3. Mau circuito

Exercício 13.4. Flip-flop SR

Exercício 13.5. Flip-flop JK

Exercício 13.6. De DFF para DL

Exercício 13.7. Análise de tempo de um TFF

Exercício 13.8. Análise funcional de um DFF

Exercício 13.9. Análise de tempo de um DFF

Exercício 13.10. DFF/TFF modificado

Exercício 13.11. DFFs mestre-escravo

Exercício 13.12. DFF pulsado implícito

Exercício 13.13. Flip-flops de precarga e avaliação

Exercício 13.14. DFF de borda dupla com multiplexadores

Exercício 13.15. DFF de borda dupla com DFFs de borda única

Exercício 13.16. TFF de borda dupla

Exercício 13.17. DL com reset, clear e preset

Exercício 13.18. DFF com clear

Exercício 13.19. DFF com enable #1

Exercício 13.20. DFF com enable #2

Capítulo 14: Circuitos Sequenciais

Exemplo 14.1 Contador síncrono de 0 a 9 com TFFs regulares

Exemplo 14.2 Contador síncrono de 0 a 9 usando TFFs com clear

Exemplo 14.3 Contador síncrono de 0 a 9 com DFFs regulares

Exemplo 14.4 Contador síncrono de 0 a 9 usando DFFs com clear

Exemplo 14.5 Contador síncrono de 0 a 9 com quatro DFFs

Exemplo 14.6 Contador síncrono de 0 a 9 com três DFFs

Exemplo 14.7 Contador síncrono de 0 a 5

Exemplo 14.8 Gerador de sinal de duas janelas

Exemplo 14.9 Gerador de sinal de quatro janelas

Exemplo 14.10 Divisão por 9 com fase simétrica

Exemplo 14.11 Timer

Exemplo 14.12 Gerador de sequência pseudorandômica

Exemplo 14.13 Scrambler-descrambler multiplicativo

Exercício 14.1. Registrador de deslocamento circular

Exercício 14.2. Análise do diagrama de tempo de um SR

Exercício 14.3. Contador de eventos

Exercício 14.4. Contador síncrono de 0 a 31 com TFFs

Exercício 14.5. Contador síncrono de 0 a 31 com DFFs

Exercício 14.6. Contador síncrono de 0 a 255 com TFFs

Exercício 14.7. Contador síncrono de 0 a 255 com DFFs

Exercício 14.8. Contador síncrono de 0 a 4 com TFFs

Exercício 14.9. Contador síncrono de 0 a 4 com DFFs

Exercício 14.10. Contador síncrono de 0 a 4 usando DFFs com clear

Exercício 14.11. Contador síncrono de 2 a 6 com DFFs

Exercício 14.12. Contador síncrono de 1 a 255 com DFFs

Exercício 14.13. Contador síncrono de 8 a 15 com quatro DFFs

Exercício 14.14. Contador síncrono de 8 a 15 com três DFFs

Exercício 14.15. Contador síncrono de 20 a 25 com cinco DFFs

Exercício 14.16. Contador síncrono de 20 a 25 com três DFFs

Exercício 14.17. Contador síncrono de 0 a 1023 com enable serial

Exercício 14.18. Contador síncrono de 0 a 1023 com enable paralelo

Exercício 14.19. Contador síncrono com enable #1

Exercício 14.20. Contador síncrono com enable #2

Exercício 14.21. Contador programável de 4 bits #1

Exercício 14.22. Contador programável de 4 bits #2

Exercício 14.23. Contador programável de 8 bits #1

Exercício 14.24. Contador programável de 8 bits #2

Exercício 14.25. Contador assíncrono de 0 a 63 com DFFs

Exercício 14.26. Contador assíncrono de 63 a 0 com DFFs

Exercício 14.27. Contador assíncrono de 0 a 62 com DFFs

Exercício 14.28. Contador assíncrono de 0 a 255 com DFFs

Exercício 14.29. Contador assíncrono de 0 a 254 com DFFs

Exercício 14.30. Contador com saídas sincronizadas

Exercício 14.31. Registrador de deslocamento com saídas

Exercício 14.32. Gerador de sinal de duas janelas #1

Exercício 14.33. Gerador de sinal de duas janelas #2

Exercício 14.34. Gerador de sinal programável de duas janelas

Exercício 14.35. Gerador de sinal de quatro janelas

Exercício 14.36. Circuito PWM

Exercício 14.37. Circuito divisor por 8

Exercício 14.38. Circuito divisor por 5 com fase simétrica

Exercício 14.39. Circuito divisor por 14 com fase simétrica

Exercício 14.40. Contador BCD de dois dígitos #1

Exercício 14.41. Contador BCD de dois dígitos #2

Exercício 14.42. Sinal de 1 Hz

Exercício 14.43. Timer #1

Exercício 14.44. Timer #2

Exercício 14.45. Medidor de frequência #1

Exercício 14.46. Medidor de frequência #2

Exercício 14.47. Funcionamento de um PLL

Exercício 14.48. Prescaler com divisão por 7

Exercício 14.49. Prescaler de módulo duplo #1

Exercício 14.50. Prescaler de módulo duplo #2

- Exercício 14.51. Prescaler de módulo duplo #3
- Exercício 14.52. Gerador de seqüência pseudorandômica de 5ª. ordem
- Exercício 14.53. Scrambler aditivo
- Exercício 14.54. Scrambler multiplicativo

Capítulo 15: Máquinas de Estados Finitos

- Exemplo 15.1 FSM básica
- Exemplo 15.2 A menor e mais simples FSM
- Exemplo 15.3 Contador — Uma FSM clássica
- Exemplo 15.4 Contador síncrono de 3 a 9
- Exemplo 15.5 Detector de seqüência
- Exemplo 15.6 Gerador de sinais básico
- Exemplo 15.7 Gerador de sinais de janela ampla
- Exemplo 15.8 PWM
- Exemplo 15.9 Circuito com máquinas sincronizadas
- Exemplo 15.10 Gerador de sinal projetado com técnica genérica
- Exemplo 15.11 Divisão por 5 com fase simétrica
- Exemplo 15.12 Contador codificado em estilo one-hot
- Exemplo 15.13 Contador codificado em estilo gray

-
- Exercício 15.1. Contador de 0 a 9
 - Exercício 15.2. Contador de módulo 7
 - Exercício 15.3. Contador de 3 a 9 com três flip-flops
 - Exercício 15.4. Contador com saída gray
 - Exercício 15.5. Comparador de seqüência #1
 - Exercício 15.6. Comparador de seqüência #2
 - Exercício 15.7. Comparador de seqüência #3
 - Exercício 15.8. Registrador circular
 - Exercício 15.9. Extensão do Exemplo 15.6
 - Exercício 15.10. Divisor de freqüência com fase simétrica
 - Exercício 15.11. Gerador de sinais #1
 - Exercício 15.12. Gerador de sinais #2
 - Exercício 15.13. Gerador de sinais #3
 - Exercício 15.14. Gerador de sinais #4
 - Exercício 15.15. Projeto genérico de gerador de sinal #1
 - Exercício 15.16. Projeto genérico de gerador de sinal #2
 - Exercício 15.17. Alarme de carro
 - Exercício 15.18. Controlador de porta de garagem
 - Exercício 15.19. Debouncer para chave mecânica
 - Exercício 15.20. FSM quase única #1
 - Exercício 15.21. FSM quase única #2

Capítulo 16: Memórias Voláteis

- Exercício 16.1. Arranjo SRAM
- Exercício 16.2. Arranjo SRAM DDR/QDR
- Exercício 16.3. Chip SRAM QDR
- Exercício 16.4. SRAM versus DRAM
- Exercício 16.5. DRAM versus SDRAM
- Exercício 16.6. SDRAM DDR versus SDRAM comum
- Exercício 16.7. Módulos SDRAM DDR
- Exercício 16.8. SDRAM DDR2 versus SDRAM DDR
- Exercício 16.9. Módulos SDRAM DDR2
- Exercício 16.10. SDRAM DDR3 versus SDRAM DDR2
- Exercício 16.11. Módulos SDRAM DDR3
- Exercício 16.12. Memória CAM
- Exercício 16.13. Memória cache

Capítulo 17: Memórias Não Voláteis

- Exercício 17.1. MP-ROM tipo NOR
- Exercício 17.2. MP-ROM tipo NAND

- Exercício 17.3. ROM com portas convencionais
- Exercício 17.4. OTP-ROM
- Exercício 17.5. EPROM
- Exercício 17.6. EEPROM
- Exercício 17.7. Memória flash
- Exercício 17.8. Arranjos flash
- Exercício 17.9. Células flash
- Exercício 17.10. Células flash multibit
- Exercício 17.11. FRAM
- Exercício 17.12. MRAM
- Exercício 17.13. PRAM

Capítulo 18: Dispositivos Lógicos Programáveis (PLDs)

- Exercício 18.1. PAL versus PLA
- Exercício 18.2. GAL versus PAL
- Exercício 18.3. CPLD versus GAL #1
- Exercício 18.4. CPLD versus GAL #2
- Exercício 18.5. CPLDs de baixo consumo de potência #1
- Exercício 18.6. CPLDs de baixa potência #2
- Exercício 18.7. Tecnologia de CPLDs #1
- Exercício 18.8. Tecnologia de CPLDs #2
- Exercício 18.9. I/Os de CPLDs #1
- Exercício 18.10. I/Os de CPLDs #2
- Exercício 18.11. FPGA versus CPLD
- Exercício 18.12. Tecnologia de FPGAs #1
- Exercício 18.13. Tecnologia de FPGAs #2
- Exercício 18.14. I/Os de FPGAs #1
- Exercício 18.15. I/Os de FPGAs #2
- Exercício 18.16. Outros fabricantes de CPLDs
- Exercício 18.17. Outros fabricantes de FPGAs

Capítulo 19: Resumo de VHDL

- Exemplo 19.1. Multiplexador com buffer de três estados
- Exemplo 19.2. Análise do uso de vários tipos de dados
- Exemplo 19.3 Contador (inferência de flip-flops)
- Exemplo 19.4 Detector de paridade
- Exemplo 19.5 Contagem de zeros à esquerda
- Exemplo 19.6 Pacote com uma função
- Exemplo 19.7 Somador carry-ripple com COMPONENTE
- Exemplo 19.8 Função *shift_integer*
- Exemplo 19.9 Procedimento *sort_data*
- Exemplo 19.10 Máquina de estados básica

-
- Exercício 19.1. Pacote *standard* em VHDL 2002
 - Exercício 19.2. Pacote *standard* em VHDL 2008
 - Exercício 19.3. Pacote *std_logic_1164*
 - Exercício 19.4. Assinalamentos legais versus ilegais #1
 - Exercício 19.5. Assinalamentos legais versus ilegais #2
 - Exercício 19.6. Assinalamentos legais versus ilegais #3
 - Exercício 19.7. Operadores lógicos
 - Exercício 19.8. Operadores de deslocamento
 - Exercício 19.9. Detector de paridade com código sequencial
 - Exercício 19.10. Peso de Hamming com código sequencial
 - Exercício 19.11. Peso de Hamming com código concorrente
 - Exercício 19.12. Multiplexador com buffer genérico
 - Exercício 19.13. Inferência de flip-flops
 - Exercício 19.14. Registrador de deslocamento com componente
 - Exercício 19.15. Contador síncrono com componente
 - Exercício 19.16. Função *add_bitvector*

Capítulo 20: Projetos de Circuitos Combinacionais Lógicos com VHDL

Seção 20.1. Decodificador de Endereço Genérico

Seção 20.2. Função Conversora de BCD para SSD

Seção 20.3. Multiplexador Genérico

Seção 20.4. Codificador de Prioridade Genérico

Seção 20.5. Projeto de Memória ROM

Seção 20.6. Projeto de Memórias RAM Síncronas

Exercício 20.1. Decodificador de endereço #1

Exercício 20.2. Decodificador de endereço #2

Exercício 20.3. Decodificador de endereço #3

Exercício 20.4. Função conversora de BCD para SSD

Exercício 20.5. Multiplexador #1

Exercício 20.6. Multiplexador #2

Exercício 20.7. Gerador de paridade

Exercício 20.8. Codificador de prioridade

Exercício 20.9. Ordenador binário #1

Exercício 20.10. Ordenador binário #2

Capítulo 21: Projetos de Circuitos Combinacionais Aritméticos com VHDL

Seção 21.1. Somador Carry-Ripple

Seção 21.2. Somador Carry-Lookahead

Seção 21.3. Somadores/Subtratores Sem e Com Sinal

Seção 21.4. Multiplicadores/Divisores Sem e Com Sinal

Seção 21.5. ALU

Exercício 21.1. Incrementador

Exercício 21.2. Decrementador

Exercício 21.3. Complementador de dois

Exercício 21.4. Comparador sem sinal

Exercício 21.5. Comparador com sinal

Exercício 21.6. Comparador de magnitude

Exercício 21.7. Somadores/subtratores com sinal e sem sinal #1

Exercício 21.8. Somadores/subtratores com sinal e sem sinal #2

Exercício 21.9. Multiplicadores/divisores com sinal e sem sinal #1

Exercício 21.10. Multiplicadores/divisores com sinal e sem sinal #2

Exercício 21.11. ALU

Capítulo 22: Projetos de Circuitos Sequenciais com VHDL

Seção 22.1. Registrador de Deslocamento com Data-Load

Seção 22.2. Debouncer para Chave

Seção 22.3. Temporizador

Seção 22.4. Gerador da Série de Fibonacci

Seção 22.5. Medidores de Frequência

Seção 22.6. Redes Neurais

Exercício 22.1. Linha de retardo programávelExercício 22.2. Registrador de deslocamento com *load*

Exercício 22.3. Gerador de sequência pseudorandômica

Exercício 22.4. Medidor de frequência

Exercício 22.5. PWM digital

Exercício 22.6. Divisão por 5 com fase simétrica

Exercício 22.7. Temporizador #1

Exercício 22.8. Temporizador #2

Exercício 22.9. Temporizador #3

Exercício 22.10. Rede neural

Exercício 22.11. Frequencímetro com contador Gray

Capítulo 23: Projetos de Máquinas de Estados com VHDL

Seção 23.1. Detector de Palavra

Seção 23.2. Gerador Universal de Sinais

Seção 23.3. Alarme para Carro

Seção 23.4. Driver para LCD

-
- Exercício 23.1. Detector de palavra
 - Exercício 23.2. Gerador Universal de Sinais
 - Exercício 23.3. Debounceador para chave
 - Exercício 23.4. Gerador de sinal de duas janelas
 - Exercício 23.5. Gerador de sinal programável de duas janelas
 - Exercício 23.6. Alarme para carro #1
 - Exercício 23.7. Alarme para carro #2
 - Exercício 23.8. Controlador de porta de garagem
 - Exercício 23.9. Senha para fechadura
 - Exercício 23.10. Driver para LCD
 - Exercício 23.11. Gerador de sinais com máquina de estados quase única

Capítulo 24: Simulação de Circuitos Digitais com VHDL

- Exemplo 24.1 Testando um testbench
- Exemplo 24.2 Simulação tipo I de um divisor de clock
- Exemplo 24.3 Simulação tipo I de um somador
- Exemplo 24.4 Simulação tipo II de um divisor de clock
- Exemplo 24.5 Simulação tipo IV de um divisor de clock

-
- Exercício 24.1. Gerador de estímulos #1
 - Exercício 24.2. Gerador de estímulos #2
 - Exercício 24.3. Gerador de estímulos #3
 - Exercício 24.4. Gerador de estímulos #4
 - Exercício 24.5. Simulação tipo I de um detector de paridade
 - Exercício 24.6. Simulação tipo II de um detector de paridade
 - Exercício 24.7. Simulação tipo III de um detector de paridade
 - Exercício 24.8. Simulação tipo IV de um detector de paridade
 - Exercício 24.9. Simulação tipo I de um ordenador de dados
 - Exercício 24.10. Simulação tipo I de um registrador de deslocamento
 - Exercício 24.11. Simulação tipo II de um registrador de deslocamento
 - Exercício 24.12. Simulação tipo IV de um registrador de deslocamento
 - Exercício 24.13. Simulação tipo I de um debouncer para chave
 - Exercício 24.14. Simulação tipo II de um debouncer para chave
 - Exercício 24.15. Simulação tipo IV de um debouncer para chave
 - Exercício 24.16. Simulação tipo I de uma máquina de estados
 - Exercício 24.16. Simulação tipo IV de um divisor de clock

Capítulo 25: Simulação de Circuitos Digitais com SPICE

- Exemplo 25.1. Resposta DC de um circuito diodo-resistor
- Exemplo 25.2. Resposta DC de um inversor CMOS
- Exemplo 25.3. Resposta transitória de um inversor CMOS
- Exemplo 25.4. Resposta transiente de um latch tipo D
- Exemplo 25.5. Resposta AC de um circuito RC
- Exemplo 25.6. Análise Monte Carlo de um circuito diodo-resistor
- Exemplo 25.7. DFF construído com subcircuitos

-
- Exercício 25.1. Simulação SPICE de uma porta AND
 - Exercício 25.2. Simulação SPICE de uma porta composta
 - Exercício 25.3. Simulação SPICE de um multiplexador
 - Exercício 25.4. Simulação SPICE de um Schmitt trigger
 - Exercício 25.5. Simulação SPICE de um somador completo
 - Exercício 25.6. Simulação SPICE de um somador carry-ripple
 - Exercício 25.7. Simulação SPICE de um comparador
 - Exercício 25.8. Simulação SPICE de um multiplicador
 - Exercício 25.9. Simulação SPICE de um latch D
 - Exercício 25.10. Simulação SPICE de um DFF

- Exercício 25.11. Simulação SPICE de um TFF
- Exercício 25.12. Simulação SPICE de um DFF de borda dupla
- Exercício 25.13. Simulação SPICE de um contador assíncrono
- Exercício 25.14. Simulação SPICE de um somador serial
- Exercício 25.15. Simulação SPICE de um registrador de deslocamento
- Exercício 25.16. Simulação SPICE de um scrambler de dados