

Eletrônica Digital Moderna e VHDL

Volnei A. Pedroni, Elsevier, 2010

Tradução (com revisão, atualização e ampliação) de
Digital Electronics and Design with VHDL
Elsevier / Morgan Kaufmann, USA, 2008



Soluções dos Exercícios Ímpares dos Capítulos 6-10

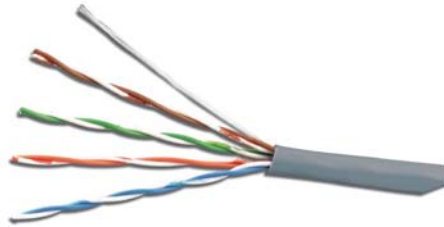
Capítulo 6: Códigos de Linha

Exercício 6.1. Cabos UTP

Há bastante informação sobre UTPs disponível na internet. Duas alternativas para resolver o presente exercício constam abaixo.

- i) Consulte os standards correspondentes (ANSI/TIA/EIA-568-B).
- ii) Consulte sites de fabricantes de UTPs (por exemplo, Siemon, em www.siemon.com).

Como introdução, as tabelas abaixo mostram aplicações típicas e os principais parâmetros elétricos de UTPs.



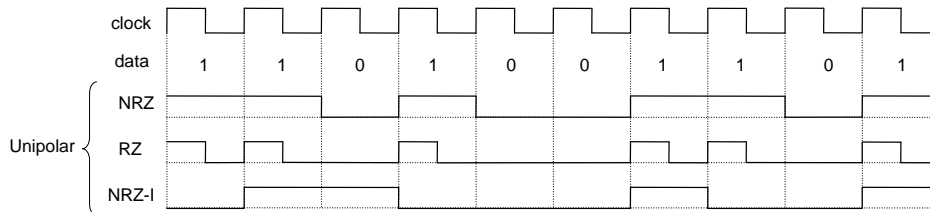
	Category 5e Class D	Category 6 Class E	Category 6 _A Class E _A	Class F	Class F _A
4/16 MBPS Token Ring	x	x	x	x	x
10BASE-T	x	x	x	x	x
100BASE-T4	x	x	x	x	x
155 MBPS ATM	x	x	x	x	x
1000BASE-T	x	x	x	x	x
TIA/EIA-854		x	x	x	x
10GBASE-T			x	x	x
Broadband CATV				x	x

TABLE 4: Industry Standards Performance Comparison at 100 MHz for Channels

	Category 5e Class D	Category 6 Class E	Category 6 _A Class E _A	Class F	Class F _A
Frequency Range (MHz)	1 - 100	1 - 250	1 - 500	1 - 600	1 - 1,000
Insertion Loss (dB)	24.0	21.3 (21.7)	20.9	20.8	20.3
NEXT Loss (dB)	30.1	39.9	39.9	62.9	65.0
PSNEXT Loss (dB)	27.1	37.1	37.1	59.9	62.0
ACR (dB)	6.1	18.6	18.6	42.1	46.1
PSACR (dB)	3.1	15.8	15.8	39.1	41.7
ACRF1 (dB)	17.4	23.3	23.3 (25.5)	44.4	47.4
PSACRF2 (dB)	14.4	20.3	20.3 (22.5)	41.4	44.4
Return Loss (dB)	10.0	12.0	12.0	12.0	12.0
PSANEXT Loss (dB)	n/s	n/s	60.0	n/s	67.0
PSAACRF (dB)	n/s	n/s	37.0	n/s	52.0
TCL (dB)	n/s	n/s	20.3	20.3	20.3
ELTCTL (dB)	n/s	n/s	0.5 (0) 3)	0	0
Propagation Delay (ns)	548	548	548	548	548
Delay Skew (ns)	50	50	50	30	30

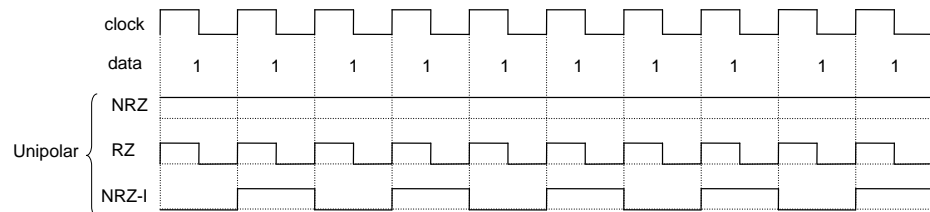
Exercício 6.3. Códigos unipolares #1

- a) As formas de onda constam na figura abaixo.
- b) NRZ → 0,6V (~0,5V em geral), RZ → 0,3V (~0,25V em geral), NRZ-I → 0,4V (~0,5V em geral).
- c) Considerando que o sinal repete-se indefinidamente, as seguintes quantidades de transições serão observadas: NRZ → 60%, RZ → 120%, NRZ-I → 60%.



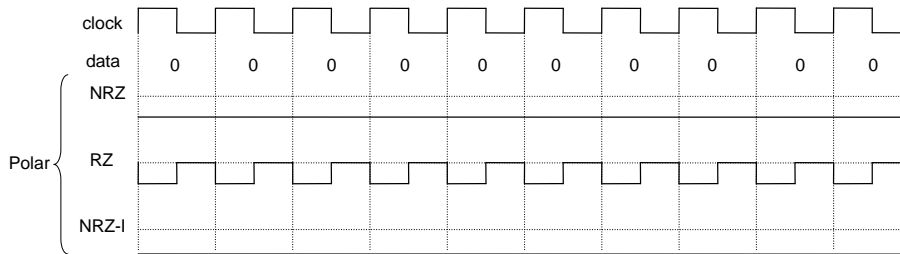
Exercício 6.5. Códigos unipolares #3

- a) As formas de onda constam na figura abaixo.
- b) NRZ → V (~0,5V em geral), RZ → 0,5V (~0,25V em geral), NRZ-I → 0,5V (~0,5V em geral).
- c) Considerando que o sinal repete-se indefinidamente, as seguintes quantidades de transições serão observadas: NRZ → 0%, RZ → 200%, NRZ-I → 100%.
- d) A sequencia "000..." tem o menor nível DC (0V), mas tem também o mínimo número de transições (0%) nos três casos. A sequencia "111..." tem o maior nível DC nos três casos, mas tem também o máximo número de transições, porem somente nos dois últimos casos.



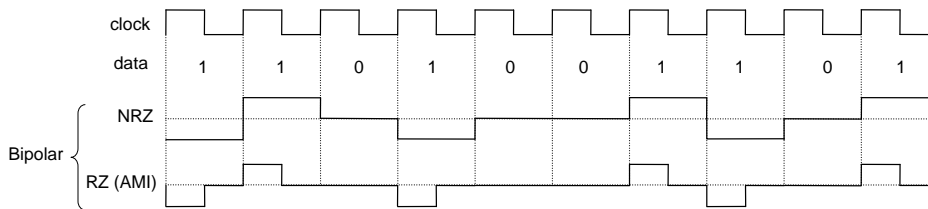
Exercício 6.7. Códigos polares #2

- a) As formas de onda constam na figura abaixo.
- b) NRZ $\rightarrow -V$ (~ 0 em geral), RZ $\rightarrow -0,5V$ (~ 0 em geral), NRZ-I $\rightarrow -V$ (~ 0 em geral).
- c) Considerando que o sinal repete-se indefinidamente, as seguintes quantidades de transições serão observadas: NRZ $\rightarrow 0\%$, RZ $\rightarrow 200\%$, NRZ-I $\rightarrow 0\%$.



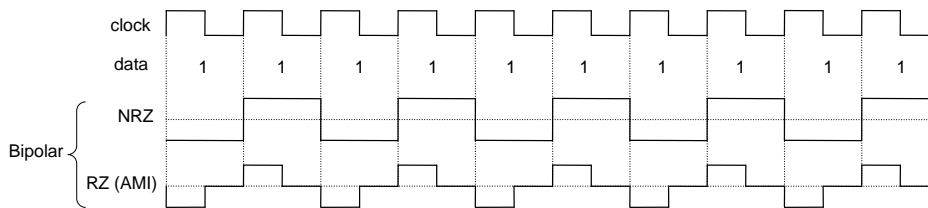
Exercício 6.9. Códigos bipolares #1

- a) As formas de onda constam na figura abaixo.
- b) NRZ $\rightarrow 0$ (≈ 0 sempre), RZ $\rightarrow 0$ (≈ 0 sempre).
- c) Considerando que o sinal repete-se indefinidamente, as seguintes quantidades de transições serão observadas: NRZ $\rightarrow 90\%$, RZ $\rightarrow 120\%$.



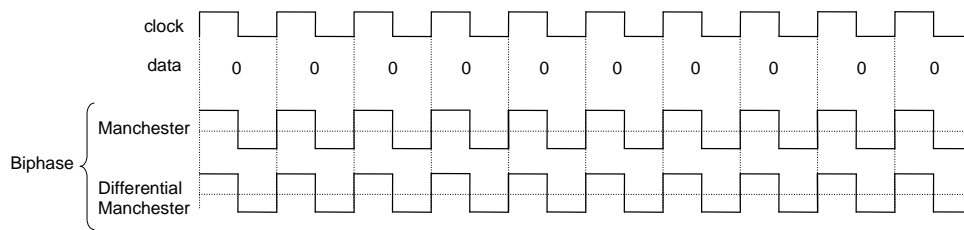
Exercício 6.11. Códigos bipolares #3

- a) As formas de onda constam na figura abaixo.
- b) NRZ $\rightarrow 0$ (≈ 0 sempre), RZ $\rightarrow 0$ (≈ 0 sempre).
- c) Considerando que o sinal repete-se indefinidamente, as seguintes quantidades de transições serão observadas: NRZ $\rightarrow 100\%$, RZ $\rightarrow 200\%$.
- d) O nível DC é 0V para qualquer sequência. A densidade de transições é máxima (100%) para NRZ quando os dados são "010101..." ou "111...", enquanto que para RZ é máximo (200%) para "111...".



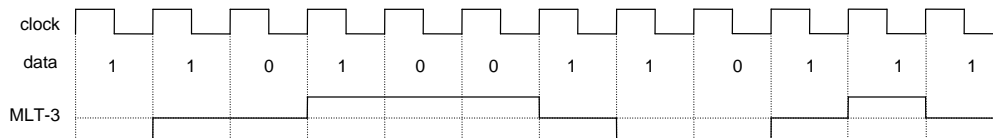
Exercício 6.13. Códigos bifase/Manchester #2

- a) As formas de onda constam na figura abaixo.
- b) Manchester $\rightarrow 0$ ($=0$ sempre), Manchester diferencial $\rightarrow 0$ ($=0$ sempre).
- c) Considerando que o sinal repete-se indefinidamente, a densidade de transições é máxima (200%) em ambos os casos.



Exercício 6.15. Código MLT-3

- As formas de onda constam na figura abaixo.
- Sempre zero (para sequências de dados longas).
- A sequência é "111...", e a forma de onda correspondente é ..., $-V$, 0 , $+V$, 0 , $-V$, 0 , $+V$, 0 , ...
- $100/4 = 25$ MHz.
- A sequência é "000...", e a forma de onda correspondente é um voltagem fixa (isto é, ..., 0 , 0 , 0 , ... ou ... $-V$, $-V$, $-V$, ... ou ..., $+V$, $+V$, $+V$, ..., dependendo do estado do sistema no momento em que a sequência de zeros iniciou).



Exercício 6.17. Código 4B/5B #1

- 0000 1111 1110 0111 \rightarrow 11110 11101 11100 01111
- Densidade de transições: antes $4/16=25\%$, depois $6/20=30\%$.

Note que, mais importante do que a densidade de transições, é a *distribuição* das transições, a qual é uma característica muito importante de um código (para sincronismo). Nenhuma série de zeros ou uns terá mais do que 8 bits (porque todas as palavras-código têm zeros e uns – veja figura 6.8). No presente exemplo, a série mais longa (de elementos iguais) tem tamanho 7 antes da codificação, e tamanho 4 após a mesma.

- Nível DC: antes $10V/16=0,6V$, depois $15V/20=0,75V$.

Exercício 6.19. Código 4B/5B #3

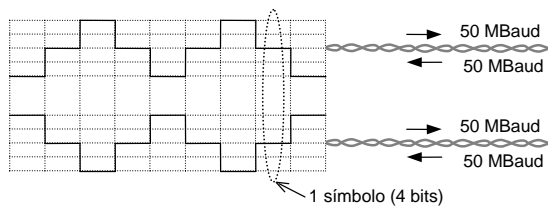
- 1111 1111 1111 \rightarrow 11101 11101 11101
- Densidade de transições: antes 0% , depois $6/15=40\%$.
Série mais longa (de elementos iguais): antes ≥ 12 , depois 4.
- Nível DC: antes V , depois $12V/15=0,8V$.

Exercício 6.21. Código 8B/10B #2

- 11111000 11111111 \rightarrow 0111 001100 (disparidade era +2, continua +2) 0111 001010 (ainda +2)
- Densidade de transições: antes $2/16=13\%$, depois $10/20=50\%$.
Série mais longa (de elementos iguais): antes 8, depois 3.
- Nível DC: antes $13V/16=0,81V$, depois $10V/20=0,5V$.

Exercício 6.23. Código 2D-PAM5

- A ideia geral é ilustrada na figura abaixo. Como 2D-PAM5 opera com 5 voltagens e 2 pares de fios, até $5 \times 5 = 25$ valores podem ser codificados por cada símbolo no canal. Portanto, $\lfloor \log_2 25 \rfloor = 4$ bits de informação são transportados por cada símbolo no canal.
- Se a taxa de informação é 200 Mbps, cada par de fios precisa operar em 50 Mbaud. Em outras palavras, para cada 4 bits de informação o canal deve transmitir um símbolo 2D-PAM5.
- Veja figura abaixo.



Exercício 6.25. Código 4D-PAM5 #2

a) Scrambler da figura 6.11(a).

b) A taxa de símbolos é 125 MBaud. Assumindo que o sistema opere no pior caso (isto é, com longas sequências de $-V/+V$ alternados), a frequência da harmônica fundamental será $125/2 = 62,5$ MHz (o que jamais ocorrerá na prática, devido ao scrambler). Na prática, a frequência mais alta tende a ser próxima a $125/4 = 31,25$ MHz.

Capítulo 7 Códigos Detectores e Corretores de Erros

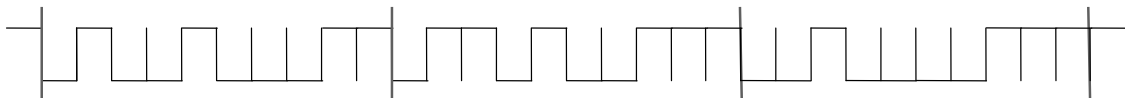
Exercício 7.1. Código de paridade simples

Para o caractere H: start=0, H=1001000, paridade=1, stop=1

Para o caractere i: start=0, i=1101001, paridade=1, stop=1

Para o caractere !: start=0, !=0100001, paridade=1, stop=1

O resultado é mostrado na figura abaixo.



Exercício 7.3. Código CRC #2

H=1001000, i=1101001. Com 8 zeros adicionados em seguida (porque CRC-8 foi usado, isto é, $g(x) = 100000111$), a sequência completa aplicada ao codificador é $d(x) = 1001000\ 1101001\ 00000000$, resultando $q(x) = 10010010010110$ e $r(x) = 11100010$ (lembre que $r(x)$ é o valor do CRC). Em resumo:

$$d(x) = x^{21} + x^{18} + x^{14} + x^{13} + x^{11} + x^8$$

$$g(x) = x^8 + x^2 + x + 1$$

$$q(x) = x^{13} + x^{10} + x^7 + x^4 + x^2 + x$$

$$r(x) = x^7 + x^6 + x^5 + x \quad (\text{logo, CRC} = 11100010)$$

Como exercício, calcule $[q(x) \cdot g(x) + r(x)]_{\text{mod } 2}$ e veja se o resultado coincide com $d(x)$.

Exercício 7.5. Código de Hamming #1

a) Um por palavra de código.

b) $n = 2^m - 1 = 2^4 - 1 = 15$

c) $k = n - m = 15 - 4 = 11$. Portanto, $(n, k) = (15, 11)$.

d) $M = 2^k = 2^{11} = 2048$

e) $r = k/n = 11/15 = 0,73$

Exercício 7.7. Código de Hamming #3

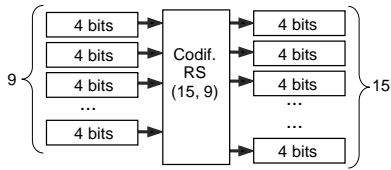
a) O resultado é 1111111 em ambos os casos.

b) Quando $\mathbf{c} = 1111110$ é recebido, o decodificador (equação 7.8) produz $\mathbf{H} \cdot \mathbf{c}^T = (001)^T$, o qual coincide com a última coluna de \mathbf{H} , indicando que o sétimo bit está errado (como esperado). A palavra recebida é então decodificada como 1111111.

c) Agora $\mathbf{c} = 1111100$ é recebido, então o decodificador produz $\mathbf{H} \cdot \mathbf{c}^T = (011)^T$, que coincide com a quarta coluna de \mathbf{H} , indicando que o quarto bit está errado. A palavra decodificada nesse caso é 1110100, a qual obviamente é incorreta.

Exercício 7.9. Código Reed-Solomon

- a) $d_{\min} = 7$
- b) $n = 15, k = 9, r = 9/15$
- c)



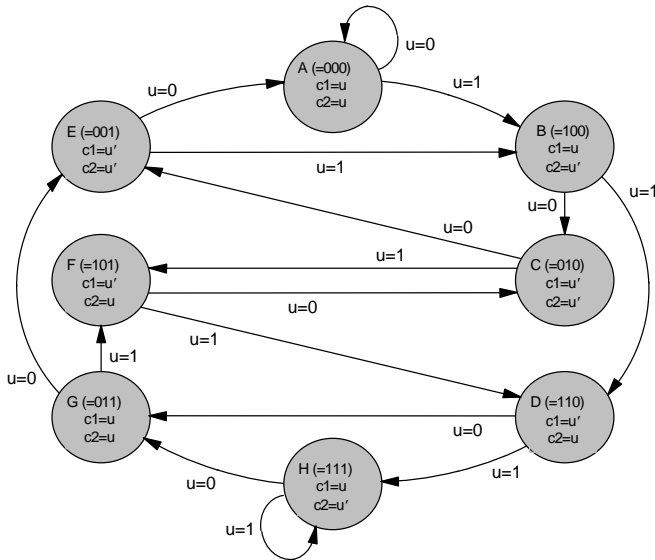
- d) Não.
- e) Porque a correção é baseada em símbolos, não em bits individuais (isto é, não importa quantos bits em um símbolo estejam errados; se o código for capaz de corrigir aquele símbolo, ele o fará independentemente do número de erros no mesmo).

Exercício 7.11. CDs de áudio #2

- a) $1.411.220/1,3 = 1,09 \text{ Mb}$
- b) $(1.411.220/1,3) \times (32/24) = 1,45 \text{ Mb/m}$
- c) $(1.411.220/1,3) \times (588/192) = 3,32 \text{ Mb/m}$
- d) $(1,45 \text{ Mb/m} \times 2,7\text{mm})/1\text{m} = 3,9 \text{ kb}$

Exercício 7.13. Código convolucional #1

- a) $k = 1, n = 2, m = 3, K = 3, r = 1/2$.
- b) Veja seção 7.7.
- c) $100/r = 200 \text{ Mbps}$.
- d) "0 1 1 0 0 0 0 ..." → "00 11 10 10 00 11 00 ..."
- e) $g_1 = 1 + D^2 + D^3, g_2 = 1 + D + D^2 + D^3$
- f) $2^K = 8$. Veja figura abaixo.



Exercício 7.15. Código convolucional #3

- a) 11 10 00 10 11 00 00 ...
- b) A série produzida pelo codificador é 11 10 00 10 11 00 00 ... (há um erro de digitação no exercício), recebida com dois erros como 10 11 00 10 11 00 00 ... O decodificador corrigirá ambos os erros, resultando 101000... na saída do decodificador.

Exercício 7.17. Código LDPC #1

a) LDPC são códigos de bloco.

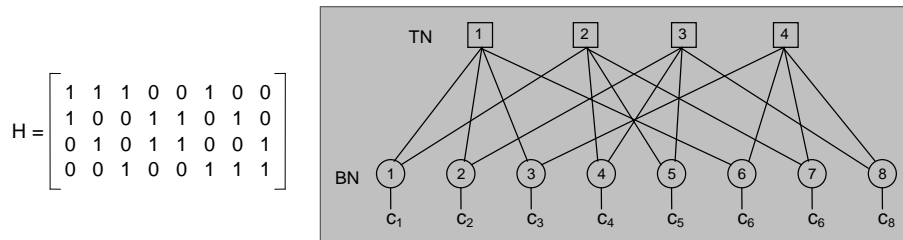
b) (1) n e m devem ser grandes (até mesmo milhares de bits); (2) cada linha ou coluna de \mathbf{H} deve conter somente alguns '1's; (3) o número de '1's em comum (na mesma posição) entre quaisquer duas linhas ou colunas não pode ser superior a um. Para ilustrar esse último requisito, veja na figura 7.18 que este número é, de fato, no máximo um; por exemplo, a primeira e a segunda linhas não têm nenhum '1' coincidente, ao passo que a primeira e a sexta linhas têm um '1' coincidente.

c) $n = 20, m = 5, w_{row} = 4, w_{col} = 1$.

Exercício 7.18. Código LDPC #2

a) $n = 8, m = 4$ (logo, $k=4$), $w_{row} = 4, w_{col} = 2$.

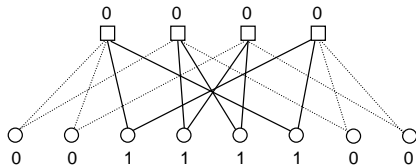
b) Veja figura abaixo.



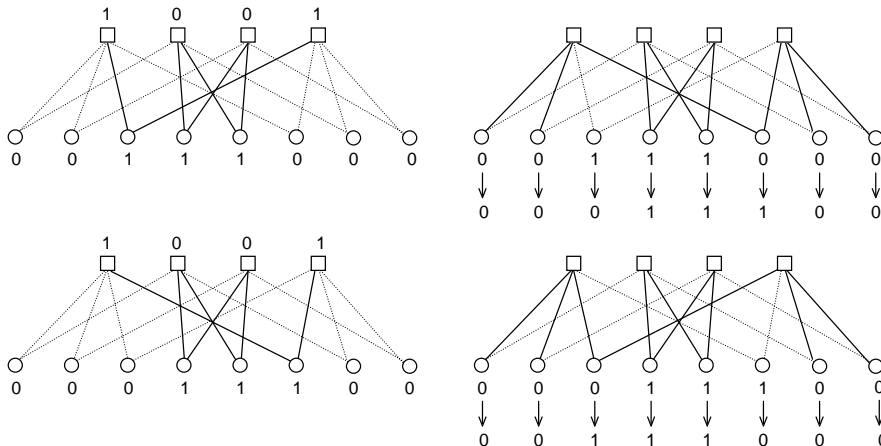
c) Veja, por exemplo, $TN1 \rightarrow BN3 \rightarrow TN4 \rightarrow BN6 \rightarrow TN1$ (TN = test-node, BN = bit-node) na figura acima.

d) A expressão \mathbf{Hc}^T produz zero apenas para a primeira palavra-código; logo, a segunda palavra não pertence ao código.

e) Veja a figura abaixo. Todos os TNs produzem zero, então é uma palavra-código válida.



f) Veja a figura abaixo, a qual mostra duas iterações (uma em cada linha). Após a segunda iteraç o, o sistema retorna   palavra-c digo (incorreta) inicial, logo a mesma n o pode ser corrigida (devido a loops de quatro passos).

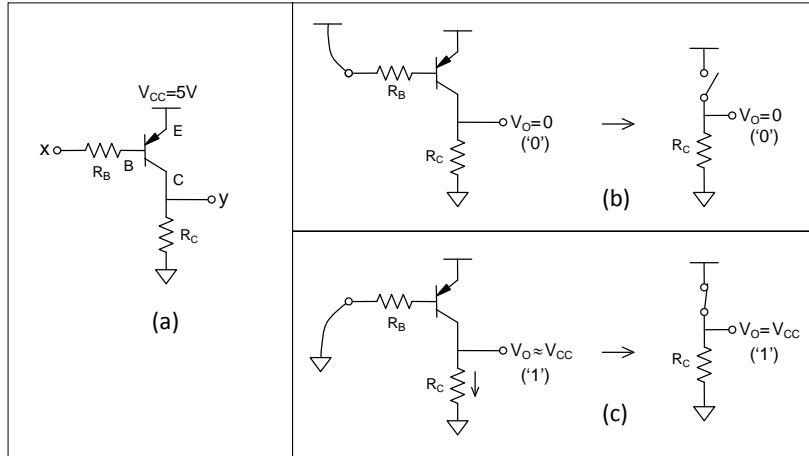


Capítulo 8: Transistor Bipolar

Exercício 8.1. Semicondutores

Disponível diretamente na seção 8.1.

Exercício 8.3. BJT #2



Exercício 8.4. Resposta DC #1

a) Para $V_x = 0$:

$$V_y = (R_2 / (R_1 + R_2))(V_x - V_{BB}) + V_{BB} = (150/200)(0+10) - 10 = -2,5 \text{ V}$$

$$I_1 = (V_x - V_y) / R_1 = (0 + 2,5) / 50k = 50 \text{ uA}$$

$$I_2 = I_1 = 50 \text{ uA} \text{ (o transistor está cortado, pois } V_y < V_j)$$

$$I_B = 0$$

$$I_C = 0$$

$$V_z = V_{CC} = 10 \text{ V}$$

b) Para $V_x = 10 \text{ V}$:

V_y é a menor das seguintes duas tensões:

$$V_y^* = (R_2 / (R_1 + R_2))(V_x - V_{BB}) + V_{BB} = (150/200)(10+10) - 10 = 5 \text{ V}$$

$$V_y^{**} = V_j = 0,7 \text{ V}$$

Logo: $V_y = 0,7 \text{ V}$ (o transistor está conduzindo)

$$I_1 = (V_x - V_y) / R_1 = (10 - 0,7) / 50k = 186 \text{ uA}$$

$$I_2 = (V_y - V_{BB}) / R_2 = (0,7 + 10) / 150k = 71,3 \text{ uA}$$

$$I_B = I_1 - I_2 = 186 - 71,3 = 114,7 \text{ uA}$$

I_C é a menor das seguintes duas correntes:

$$I_C^* = \beta I_B = 130 \times 114,7 \text{ uA} = 15,9 \text{ mA} \text{ (se o transistor não estiver saturado)}$$

$$I_C^{**} = (V_{CC} - V_{CEsat}) / R_C = (10 - 0,2) / 1k = 9,8 \text{ mA} \text{ (com o transistor saturado)}$$

Logo: $I_C = 9,8 \text{ mA}$ (o transistor está saturado)

c) A equação 8.4 diz que:

α = corrente atual na base / corrente na base necessária para o transistor entrar em saturação

$$\text{Logo: } \alpha = (I_B) / (I_{Cmax} / \beta) = (114,7 \text{ uA}) / (9,8 \text{ mA} / 130) = 1,52$$

Ou, equivalentemente:

α = corrente no coletor caso ele não tivesse saturado / corrente de coletor com o trans. saturado

$$\text{Ou seja: } \alpha = (\beta I_B) / (I_{Cmax}) = (130 \times 114,7 \text{ uA}) / (9,8 \text{ mA}) = 1,52$$

Exercício 8.5. Resposta DC #2

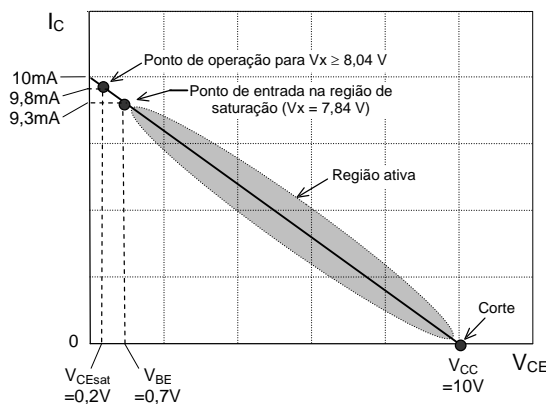
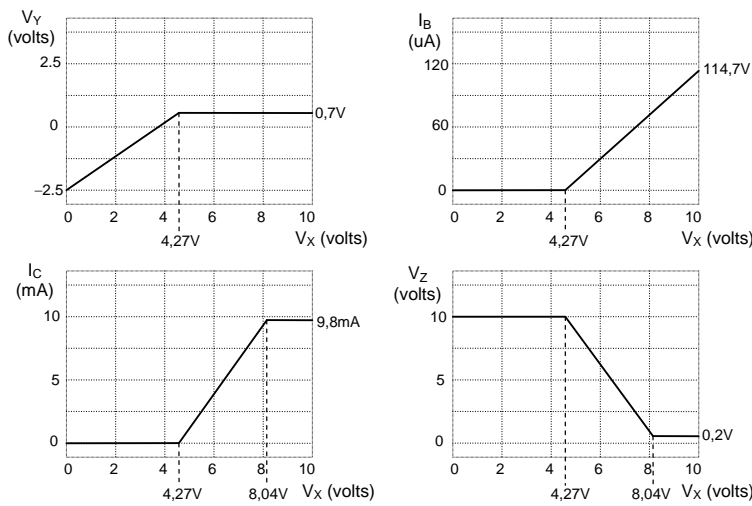
O transistor está cortado enquanto $V_y < V_j (=0,7V)$. Essa tensão ocorre quando , como pode-se comprovar com a equação do item (a) no exercício 8.4, isto é, $V_y = (R_2/(R_1 + R_2))(V_x - V_{BB}) + V_{BB}$. Isolando-se V_x , resulta:

$$V_x = (R_1 + R_2)/R_2(V_y - V_{BB}) + V_{BB} = (200/150)(0,7 + 10) - 10 = 4,27V$$

O transistor estará na região ativa enquanto a corrente de coletor não atingir seu valor máximo, isto é, $I_{Cmax} = (V_{CC} - V_{CEsat})/R_C = (10 - 0,2)/1k = 9,8\text{ mA}$ (conforme visto no exercício 8.4). A partir desse ponto, I_B continuará crescendo, mas I_C não terá como crescer, o que significa que o transistor está saturado (lembre a discussão na seção 8.4, na qual é mostrado que a saturação, a rigor, ocorre quando V_{CE} reduz-se a V_j , mas, por simplicidade, frequentemente usa-se o valor V_{CEsat} ($\sim 0,1V$ a $0,2V$ para transistores de baixa potência) ao invés de V_j ($\sim 0,7V$ para Si)). O ponto onde a corrente de coletor atinge seu valor máximo é o último ponto no qual a relação $I_C = \beta I_B$ ainda é válida. Portanto, a corrente de base nele é $I_B = 9,8mA/130 = 75,4\text{ uA}$. Como a corrente em R_2 é constante após o transistor passar a conduzir (pois a tensão sobre esse resistor é então constante) e vale $I_2 = (V_j - V_{BB})/R_2 = (0,7 + 10)/150k = 71,3\text{ uA}$, o valor de I_1 no momento em que a saturação ocorre é $I_1 = I_B + I_2 = 75,4 + 71,3 = 146,7\text{ uA}$. Para que tal ocorra, a tensão de entrada deve obedecer $(V_x - V_y)/R_1 = 146,7\text{ uA}$, com $V_y = V_j$, donde resulta $8,04V$.

Em resumo, o transistor estará cortado para $V_x < 4,27V$, na região ativa para $4,27V \leq V_x \leq 8,04V$, e finalmente saturado para $V_x > 8,04V$.

As figuras abaixo resumem o comportamento desse circuito.

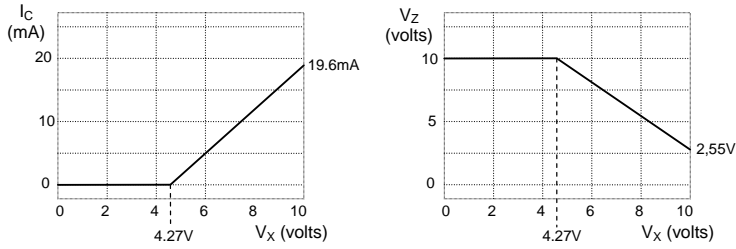


Exercício 8.7. Resposta DC #4

a-b) Idem ao exercício 8.5.

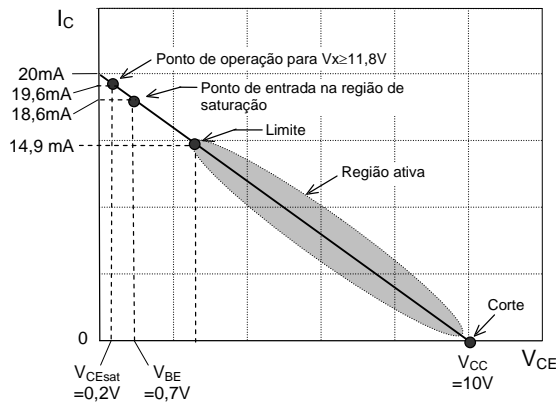
c-d) Agora, $I_{Cmax} = (V_{CC} - V_{CEsat})/R_C = (10 - 0,2)/0,5k = 19,6\text{ mA}$. Como o valor máximo de I_B , o qual ocorre para $V_x = 10V$, é $I_{Bmax} = 114,7\text{ uA}$, tem-se que $I_C = \beta I_B = 130 \times 114,7\text{ uA} = 14,9\text{ mA}$. Como este último é menor, ele é o valor real de I_{Cmax} , o que significa que o transistor jamais chega ao ponto de saturação. Então, para $V_x < 4,27V$, o transistor estará cortado, ao passo que para $V_x \geq 4,27V$ ele operará na região ativa. Quando $V_x = 10V$, tem-se $I_1 = (V_x - V_j)/R_1 = (10 -$

$0,7)/50k = 186 \mu A$ e $I_2 = (V_y - V_{BB})/R_2 = (0,7 + 10)/150k = 71,3 \mu A$, resultando $I_B = I_1 - I_2 = 186 - 71,3 = 114,7 \mu A$, com $I_C = \beta I_B = 14,9 \text{ mA}$. Portanto, $V_z = V_{CC} - R_{CIC} = 10 - 0,5k \times 14,9m = 2,55 \text{ V}$. Esse comportamento é mostrado nas figuras abaixo.



e) O transistor estará cortado para $V_X < 4,27V$, na região ativa para $4,27V \leq V_X \leq 11,8V$, e saturado para $V_X > 11,8V$. Para $V_{Xmax} = 10V$, o transistor não chegará a saturar, pois $I_{Cmax} = 14,9mA$, resultando $V_{CE} = 2,55V$ (região ativa).

f) Veja a figura abaixo. Com $V_{Xmax} = 10V$, o transistor só poderá operar na porção da região ativa marcada na figura (com $I_C \leq 14,9 \text{ mA}$).

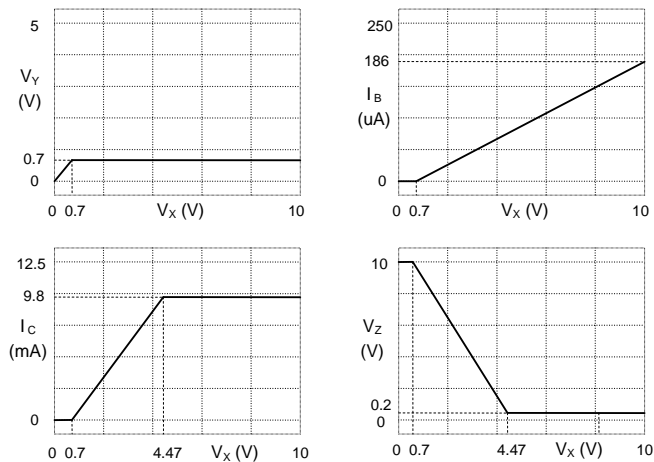


Exercício 8.9. Resposta DC #6

a-d) Veja figuras abaixo.

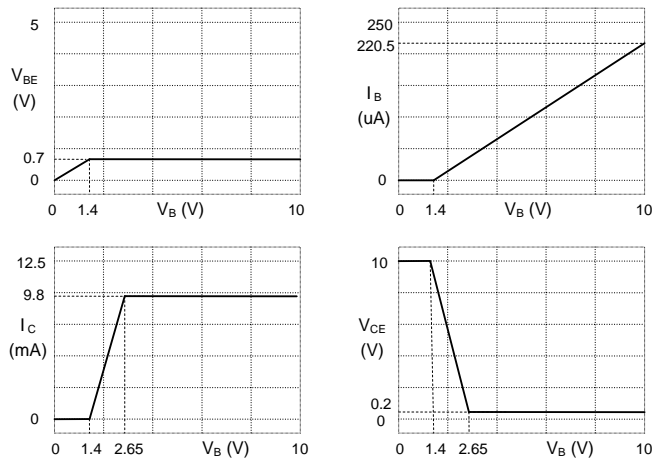
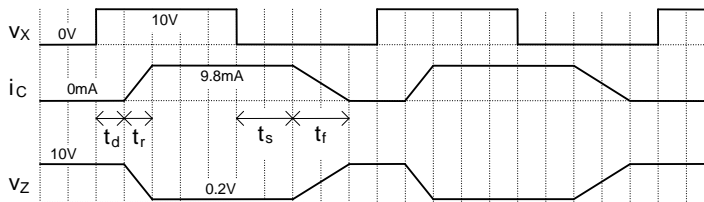
e) Corte para $V_X < 0,7V$, região ativa para $0,7V \leq V_X \leq 4,47V$, saturação para $V_X > 4,47V$.

f) Idem ao exercício 8.5.



Exercício 8.11. Resposta DC #8

Neste caso, o transistor estará cortado para $V_B < 1,4V$, na região ativa para $1,4V \leq V_B \leq 2,65V$, e saturado para $V_B > 2,65V$. Seu comportamento está resumido nos gráficos abaixo.

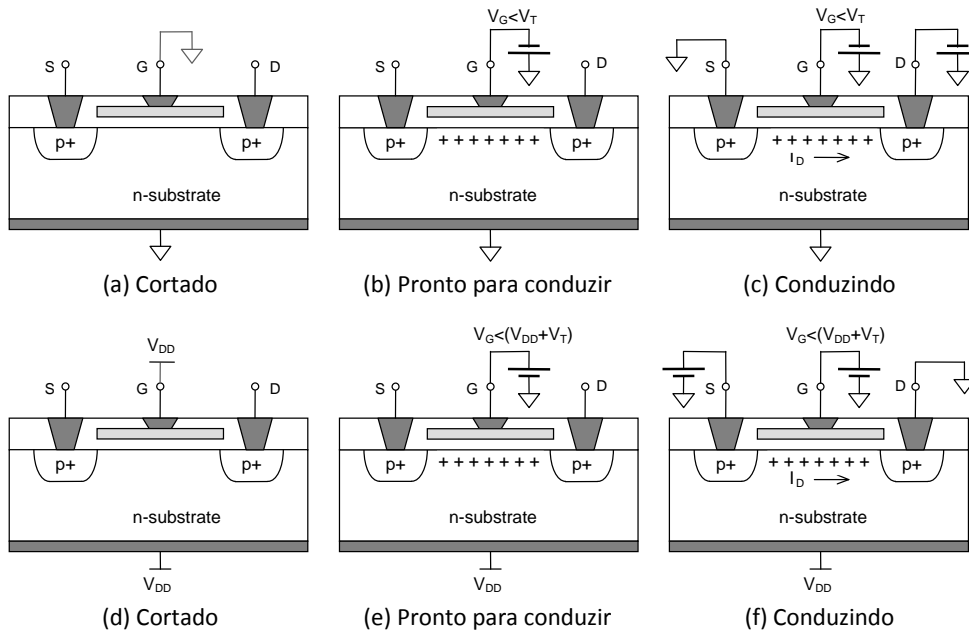
**Exercício 8.13. Resposta transiente****Capítulo 9: Transistor de Efeito de Campo****Exercício 9.1. Substrato versus canal do MOSFET**

Porque o canal é formado por cargas *negativas* (elétrons) no substrato tipo p, e *positivas* (lacunas) no substrato tipo n.

Exercício 9.3. Funcionamento do transistor pMOS

a) As figuras (a)-(c) abaixo mostram um transistor pMOS com o substrato ligado ao terra. Como o substrato é do tipo n, o dreno e a fonte (que são p+) só podem ser conectados a tensões negativas, caso contrário diodos diretamente polarizados resultariam. Em (a), o transistor está em equilíbrio (nenhum campo elétrico externo aplicado a ele). Em (b), a porta está polarizada com uma voltagem $V_G < V_T$ (lembre-se de que V_T , a tensão de threshold, é negativa e tipicamente entre $-0,5$ e $-0,9V$ para transistores pMOS), portanto o canal está formado e o transistor está pronto para conduzir. Em (c), o dreno está conectado a uma tensão negativa, com a fonte aterrada, de modo que o transistor está em condução. Observe que as tensões de operação neste circuito são negativas.

b) As figuras (d)-(f) são similares às figuras (a)-(c), porem agora com o substrato ligado a V_{DD} ($=3,3V$, por exemplo) ao invés do terra. O resultado é que agora as tensões de operação do transistor não necessitam ser negativas, de modo que a mesma fonte de alimentação usada para os transistores nMOS pode ser usada para os transistores pMOS, pois os sinais agora são compatíveis entre si ('0' = $0V$ e '1' = V_{DD} ($=3,3V$, por exemplo) em ambos).

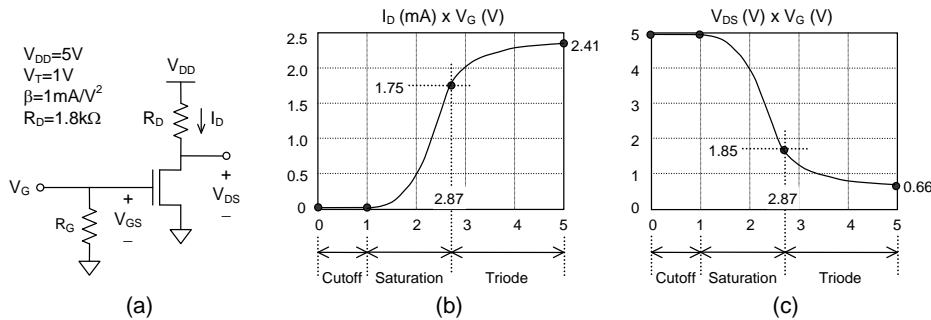


Exercício 9.5. Parâmetro β

$\beta_p = \mu_p C_{ox}(W/L)$, onde $\mu_p = 450/2 = 225 \text{ cm}^2/\text{V}\cdot\text{s}$ (figura 9.1(c)), $C_{ox} = \epsilon_{ox}/t_{ox} = 3,9\epsilon_0/t_{ox} = 3,9 \times 8,85 \cdot 10^{-14}/120\text{Å} = 2,88 \text{ fF}/\mu\text{m}^2$ e $W/L = 2/0,4 = 5$. Portanto, $\beta_p = 0,324 \text{ mA}/\text{V}^2$.

Exercício 9.7. Resposta DC #2

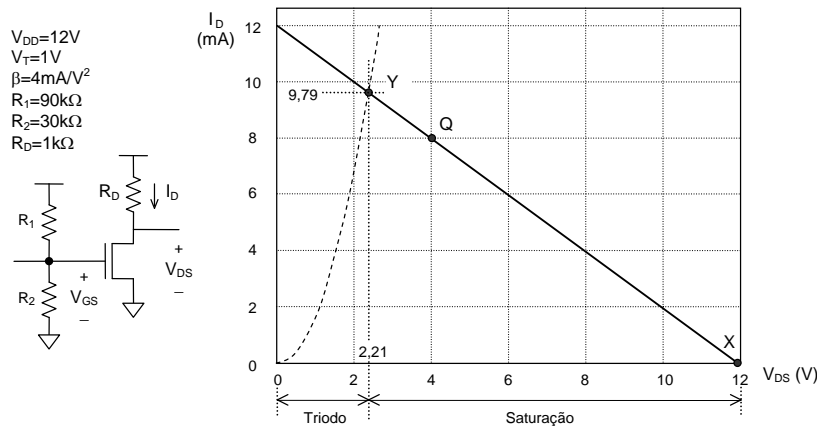
- a) De acordo com a equação 9.1, o transistor permanece cortado enquanto $V_{GS} < V_T$, isto é, para $V_G < 1\text{V}$.
- b) De acordo com a equação 9.2, o transistor permanece na região de saturação enquanto $V_{DS} \geq V_{GS} - V_T$. Portanto, usando $I_D = (\beta/2)(V_{GS} - V_T)^2$, combinada com $V_{DS} = V_{DD} - R_D I_D$ e com a condição $V_{DS} = V_{GS} - V_T$, obtém-se $V_{GS} = 2,87\text{V}$. Assim, o transistor permanece na região de saturação enquanto V_G está na faixa $1\text{V} \leq V_G \leq 2,87\text{V}$. Para $V_G = 2,87\text{V}$, tem-se $I_D = 1,75 \text{ mA}$ e $V_{DS} = 1,85\text{V}$.
- c) De acordo com a equação 9.3, o transistor opera no modo triodo (linear) quando $V_{DS} < V_{GS} - V_T$, o qual ocorre para $V_G > 2,87\text{V}$. Para $V_G = 5\text{V}$, tem-se $I_D = 2,41 \text{ mA}$ e $V_{DS} = 0,66\text{V}$.
- d) O gráfico de I_D é mostrado na figura (b) abaixo, com o circuito repetido em (a). De 0V a 1V, o transistor está desligado, portanto $I_D = 0$. De 1V a 2,87V, ele está na região de saturação, na qual a equação 9.2 foi empregada para plotar a corrente. Finalmente, acima de 2,87V, ele opera no modo triodo, no qual a equação 9.3 foi utilizada.
- e) O gráfico de V_{DS} é mostrado na figura (c) abaixo, determinado por $V_{DS} = V_{DD} - R_D I_D$.



Exercício 9.9. Resposta DC #4

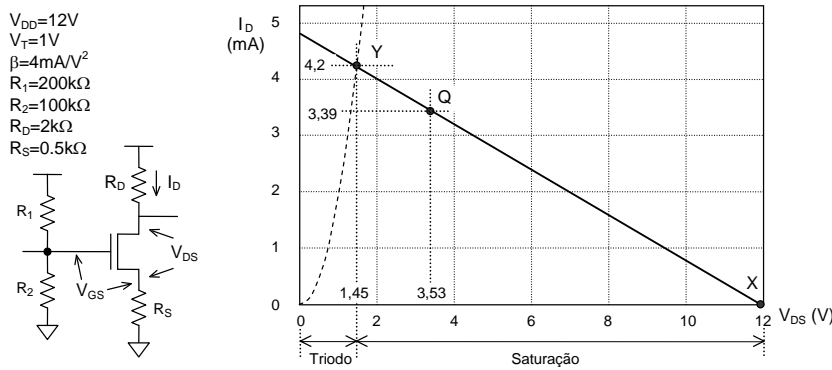
- a) Usando a equação 9.2, e observando que $V_{GS} = V_{DD}R_2/(R_1+R_2) = 3\text{V}$, obtém-se $I_D = 8 \text{ mA}$.
- b) Com $V_{DD} = R_D I_D + V_{DS}$, obtém-se $V_{DS} = 4\text{V}$. Então, o transistor está de fato na região de saturação pois $V_{DS} > V_{GS} - V_T$ (isto é, $4 > 3 - 1$).

c-f) Veja a figura abaixo. O ponto quiescente (Q) é o ponto onde o transistor está operando presentemente. A região de saturação (chamada região ativa para o transistor bipolar, o que às vezes gera confusão) vai de X a Y. O ponto X é o ponto de corte, ao passo que Y é o ponto de intersecção entre a reta de carga e a curva $V_{DS} = V_{GS} - V_T$ (determinado usando a equação 9.6), isto é, é o limite entre a região de saturação e a região linear (triodo).



Exercício 9.11. Resposta DC #5

- a) Usando a equação 9.2, e observando que $V_{GS} = V_{DD}R_2/(R_1+R_2) - R_S I_D$, obtém-se $I_D = 3,39$ mA e $V_{GS} = 2,31$ V.
- b) $V_{DS} = V_{DD} - (R_D+R_S)I_D = 3,53$ V, $V_S = R_S I_D = 1,7$ V.
- c) $V_{DD} = (R_D+R_S)I_D + V_{DS}$. Esta equação foi plotada na figura abaixo. As pontas da reta de carga são $V_{DS} = V_{DD} = 12$ V (para $I_D = 0$) e $I_D = V_{DD}/(R_D+R_S) = 4,8$ mA (para $V_{DS} = 0$).
- d-f) Veja figura abaixo.



Exercício 9.13. Parâmetro de transcondutância do MOSFET

$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2 \rightarrow \frac{dI_D}{dV_{GS}} = \beta(V_{GS} - V_T) = \sqrt{2\beta \frac{\beta(V_{GS} - V_T)^2}{2}} = \sqrt{2\beta I_D}$$

Exercício 9.15. Inversor CMOS #2

- a) Como $\beta = \mu C_{ox}(W/L)$, é necessário que $(W/L)_p = 9\lambda/2\lambda$ para obter $\beta_n = \beta_p$.
- b-c) Assumindo que $\beta_n = \beta_p$ e $V_{Tn} = V_{Tp}$, a mesma corrente de dreno (equação 9.2) é produzida por Mn e Mp se $V_{GSn} = |V_{GSp}|$, isto é, quando $V_i = V_{DD}/2$. Nesse caso, os transistores estarão no ponto de transição, no qual V_o tende a estar próximo de V_i . Se β_n for aumentado, com V_i mantido em $V_{DD}/2$, a corrente de dreno de Mn crescerá, enquanto que aquela de Mp permanecerá a mesma. Esta situação é obviamente impossível, pois os transistores estão conectados em série, portanto precisam operar com a mesma corrente I_D . O único ponto de operação possível é então com Mn em modo triodo (equação 9.3), porque então sua tensão V_{DS} diminuirá o suficiente para limitar a corrente de dreno, de forma que a corrente determinada por Mp prevalecerá. Em resumo, para permanecer na região de saturação, uma tensão menor deve ser aplicada ao gate de Mn e uma tensão (magnitude) maior deve ser aplicada ao gate de Mp.

Consequentemente, se M_n for mais forte do que M_p , ele puxará V_{TR} na direção de GND, ao passo que um M_p mais forte do que M_n puxará a tensão V_{TR} na direção de V_{DD} .

Exercício 9.17. Inversor CMOS #4

$\beta_n = \mu_n C_{ox}(W/L)$, onde $\mu_n = 1400/2 = 700 \text{ cm}^2/\text{V}\cdot\text{s}$ (figura 9.1(c)), $C_{ox} = \epsilon_{ox}/t_{ox} = 3,9\epsilon_0/t_{ox} = 3,9 \times 8,85 \cdot 10^{-14}/150 \text{ A}^\circ = 2,3 \text{ fF}/\mu\text{m}^2$ e $(W/L)_n = 3/2 = 1,5$. Portanto, $\beta_n = 0,24 \text{ mA}/\text{V}^2$.

$\beta_p = \mu_p C_{ox}(W/L)$, onde $\mu_p = 450/2 = 225 \text{ cm}^2/\text{V}\cdot\text{s}$ (figura 9.1(c)), $C_{ox} = 2,3 \text{ fF}/\mu\text{m}^2$ (calculado acima) e $(W/L)_p = 8/2 = 4$. Portanto, $\beta_p = 0,21 \text{ mA}/\text{V}^2$.

Exercício 9.19. Inversor nMOS #1

Se $V_i = '0'$ ($=0\text{V}$), o transistor inferior estará desligado, então corrente estática não fluirá. Contudo, se $V_i = '1'$ ($=V_{DD}$), o transistor inferior será ligado. Como o transistor superior está sempre em condição de condução, resultará $I_D \neq 0$. Em outras palavras, durante todo o tempo em que $V_i = '1'$ haverá consumo de energia estática.

Exercício 9.21. Inversor nMOS #8

a) O transistor superior só pode operar na região de saturação. O transistor inferior, nas proximidades do ponto de transição, também operará nesta região, então a corrente em ambos pode ser calculada pela equação 9.2. Igualando a corrente de dreno dos dois transistores, obtém-se:

$$\frac{\beta_2}{2}(V_{DD} - V_O - V_T)^2 = \frac{\beta_1}{2}(V_i - V_T)^2$$

Trocando V_O por $V_{DD}/2$ e $(\beta_2/\beta_1)^{1/2}$ por k na equação acima, e considerando que então $V_{TR} \equiv V_i$, chega-se à equação 9.16.

b) Substituindo agora V_O por V_i na equação acima, e considerando que então $V_{TR} \equiv V_i$, obtém-se a equação 9.17.

Capítulo 10: Famílias Lógicas e I/Os

Exercício 10.1. Circuito lógico #1

- a) DL
- b) DTL
- c) $y = a'$ (inversor)

Exercício 10.3. Circuito lógico #3

- a) DL
- b) DTL
- c) $y = (a + b)'$ (porta NOR)

Exercício 10.5. Série 74 #1

Abaixo constam alguns exemplos.

- a) 74xx23
- b) 74xx14
- c) 74xx74
- d) 74xx161

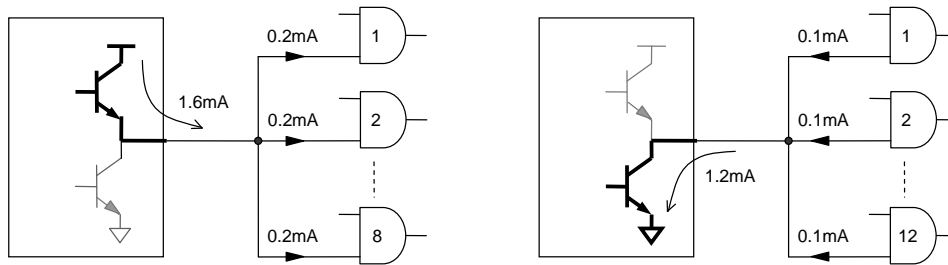
Exercício 10.7. Tensões de entrada e saída

Veja a descrição na seção 10.3.5.

Exercício 10.9. Fan-out #1

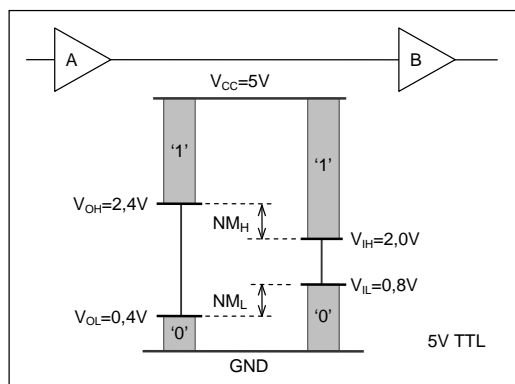
- a) Veja figura abaixo.
- b) Quando a saída é alta, ela pode alimentar até 8 entradas; quando ela é baixa, ela pode aceitar até 12 entradas. Tomando o pior caso: fan-out = 8.

c) As portas LS TTL exibem $I_{IL} = -0,4 \text{ mA}$ and $I_{IH} = 20 \mu\text{A}$. Portanto, o fan-out do nosso dispositivo em relação à família LS TTL é o menor entre $1,6\text{mA}/20\mu\text{A} = 80$ e $1,2\text{mA}/0,4\text{mA} = 3$, isto é, fan-out = 3.



Exercício 10.11. Margem de ruído

Veja a figura abaixo.

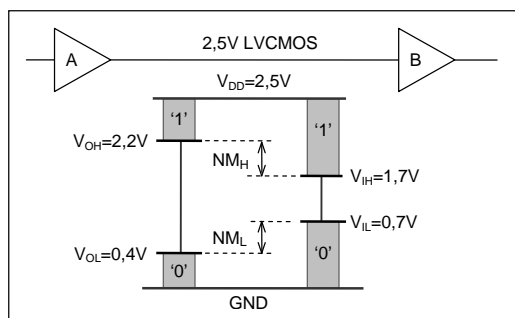


5V TTL		
Saída	$V_{OL} \text{ (max)}$	0,4V
	$V_{OH} \text{ (min)}$	2,4V
Entrada	$V_{IL} \text{ (max)}$	0,8V
	$V_{IH} \text{ (min)}$	2,0V

Margem de ruído	
NM_L	0,4V
NM_H	0,4V

Exercício 10.13. LVCMOS 2,5 V

Os parâmetros são mostrados na figura 10.23, onde $V_{OH} = 2,2 \text{ V}$ (observe que o teste foi realizado com V_{DD} mínimo, isto é, $V_{DD} = 2,3\text{V}$, resultando V_{OH} 0,3V abaixo de V_{DD}), $V_{OL} = 0,4 \text{ V}$, $V_{IH} = 1,7 \text{ V}$ e $V_{IL} = 0,7 \text{ V}$. O diagrama correspondente consta na figura abaixo, com $NM_H = 2,2 - 1,7 = 0,5 \text{ V}$ e $NM_L = 0,7 - 0,4 = 0,3 \text{ V}$.



2,5V LVCMOS		
Saída	$V_{OL} \text{ (max)}$	0,4V
	$V_{OH} \text{ (min)}$	2,2V
Entrada	$V_{IL} \text{ (max)}$	0,7V
	$V_{IH} \text{ (min)}$	1,7V

Margem de ruído	
NM_L	0,3V
NM_H	0,5V

Exercício 10.15. LVCMOS 1,5 V

Os parâmetros são mostrados na figura 10.25, onde $V_{OH} = 1,125 \text{ V}$, $V_{OL} = 0,375 \text{ V}$, $V_{IH} = 0,975 \text{ V}$ e $V_{IL} = 0,525 \text{ V}$. As margens de ruído correspondentes são $NM_H = NM_L = 0,15 \text{ V}$.

Exercício 10.17. LVCMOS 1 V

Os parâmetros são mostrados na figura 10.27, onde $V_{OH} = 0,75 \text{ V}$, $V_{OL} = 0,25 \text{ V}$, $V_{IH} = 0,65 \text{ V}$ e $V_{IL} = 0,35 \text{ V}$. As margens de ruído correspondentes são $NM_H = NM_L = 0,1 \text{ V}$.

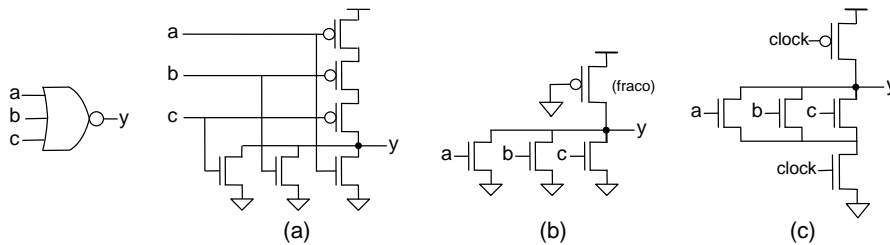
Exercício 10.19. Porta LVCMOS com carga #2

Como $V_{DD} = 2,5\text{ V}$ e $R_L = 3,3\text{ k}\Omega$, a corrente de saída, I_L , não pode nunca ser mais alta do que $V_{DD}/R_L = 2,5/3,3 = 0,76\text{ mA}$. Na verdade, ela também não pode atingir esse valor pois quando $I_L > 0$ a tensão na saída não pode ser igual a nenhuma das tensões limite (isto é, tensões da fonte, 0 V e V_{DD}). Tomando os parâmetros correspondentes da figura 10.23, para 1 mA (assim há uma margem de segurança – esses parâmetros foram vistos no exercício 10.13), obtém-se $V_{OH} = 2,2\text{ V}$ e $V_{OL} = 0,4\text{ V}$. Consequentemente:

- a) $V_y < V_{OL}$, logo $V_y < 0,4\text{ V}$.
- b) Nesse caso, $I_L = 0$, então $V_y = V_{DD} = 2,5\text{ V}$.
- c) Aqui também $I_L = 0$, então $V_y = 0\text{ V}$.
- d) $V_y > V_{OH}$, logo $V_y > 2,2\text{ V}$.

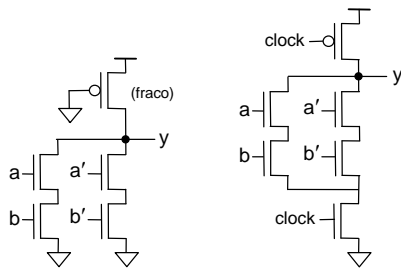
Exercício 10.20. Porta NOR

- a) Veja figura (a) abaixo.
- b) Veja figura (b) abaixo.
- c) Veja figura (c) abaixo.

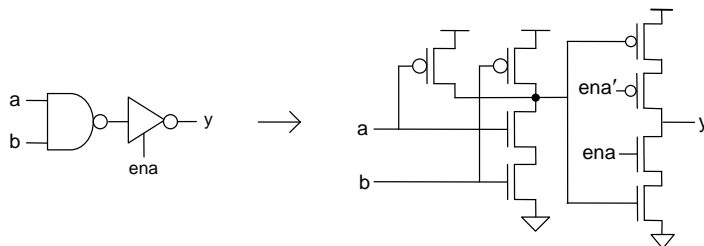


Exercício 10.21. Porta XOR

- a) Veja figura 4.15(a).
- b) Substitui-se a parte superior da figura 4.15(a) por um transistor pMOS permanentemente ligado (gate ligado ao terra), como mostrado na figura abaixo, à esquerda.
- c) Substitui-se a parte superior da figura 4.15(a) por um transistor pMOS clocado, inserindo também um nMOS clocado na parte inferior, como mostrado na figura abaixo, à direita.

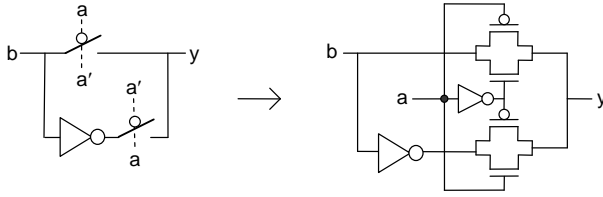


Exercício 10.23. Porta AND com saída de 3 estados



Exercício 10.25. XOR implementada com TGs

O circuito à esquerda abaixo é da figura 4.15(a). Sua implementação com TGs consta à direita.

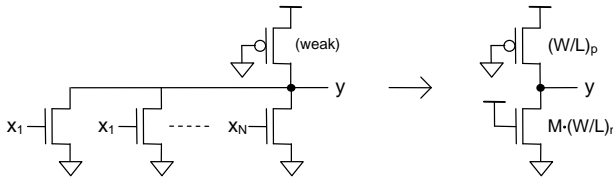


Exercício 10.27. Inversor CMOS

Algumas das soluções foram apresentadas no capítulo 9.

Exercício 10.29. NOR com lógica pseudo-nMOS #1

a) Um circuito equivalente é mostrado abaixo, à direita, onde M representa o número de transistores nMOS que estão ligados (equivalente a um único transistor com canal de largura $M \cdot W$).



Para qualquer $1 \leq M \leq N$, a voltagem na saída deve ser baixa. Consequentemente, o (grande) transistor nMOS só poderá estar operando no modo triodo, porque $V_{DSn} < V_{GSn} - V_{Tn}$ (observe que $V_{GSn} = V_{DD}$ e $V_{DSn} = V_y$). O transistor pMOS, por outro lado, pode operar tanto no modo triodo como no modo de saturação. Se M for pequeno, então V_y poderá ainda ser mais alta do que $|V_{Tp}|$, em cujo caso $|V_{Dsp}| < |V_{Gsp}| - |V_{Tp}|$ (note que $|V_{Gsp}| = V_{DD}$ e $|V_{Dsn}| = V_{DD} - V_y$), resultando o modo triodo. Contudo, se $V_y \leq |V_{Tp}|$, o transistor pMOS operará na região de saturação. Ambos os casos são considerados abaixo.

b) Com o pMOS em modo triodo (o nMOS está sempre neste modo), a equação 9.3 pode ser aplicada a ambos os transistores, isto é:

$$M\beta_n \left[(V_{DD} - V_{Tn})V_y - \frac{V_y^2}{2} \right] = \beta_p \left[(V_{DD} + V_{Tp})(V_{DD} - V_y) - \frac{(V_{DD} - V_y)^2}{2} \right]$$

Manipulando essa expressão, obtém-se a equação 10.3 (onde $k = M\beta_n/\beta_p$), a qual consta no enunciado do exercício,

c) Com o pMOS em saturação, a equação 9.3 deve ser aplicada somente ao transistor nMOS, sendo a equação 9.2 aplicada ao pMOS, ou seja:

$$M\beta_n \left[(V_{DD} - V_{Tn})V_y - \frac{V_y^2}{2} \right] = \frac{\beta_p}{2} (V_{DD} + V_{Tp})^2$$

Manipulando essa expressão, obtém-se a equação 10.4, a qual consta no enunciado do exercício.

Exercício 10.31. NOR com lógica pseudo-nMOS #3

a) Para $M=1$. Nesse caso, o pMOS opera no modo triodo porque $|V_{Dsp}| < |V_{Gsp}| - |V_{Tp}|$ (lembre-se de que $|V_{Dsp}| = V_{DD} - V_y = 4 \text{ V}$, $|V_{Gsp}| = V_{DD} = 5 \text{ V}$ e $V_{Tp} \approx -0,7 \text{ V}$).

b) Com $V_y = 1 \text{ V}$ substituída na expressão obtida na parte (b) do exercício 10.29, obtém-se $k = 2,36$. Como $M = 1$, $\beta_n/\beta_p = 2,36$.

Exercício 10.33. NAND com lógica pseudo-nMOS #2

a) V_{DD} , porque somente o transistor pMOS estará em condição de condução.

b) Os resultados são $V_y = 1,05 \text{ V}$ (equação 10.3, com $k = \beta_n/N\beta_p$) e $V_y = 1,06 \text{ V}$ (equação 10.4). Esses resultados são bem próximos porque o transistor pMOS está operando bem próximo do limite entre as regiões de saturação e triodo.

- c) Essa voltagem é esperada ser baixa, com o pMOS operando em triodo pois $|V_{Dsp}| < |V_{Gsp}| - |V_{Tp}|$ ($|V_{Dsp}| = V_{DD} - V_y = 3,95 \text{ V}$, $|V_{Gsp}| = V_{DD} = 5 \text{ V}$ e $V_{Tp} = -0,7\text{V}$).
- d) Porque o pMOS está sempre ligado, logo os nMOS não conseguem trazer a tensão do nó y totalmente até GND.

Exercício 10.35. SSTL

Esses standards podem ser obtidos facilmente através da internet.

Exercício 10.37. LVDS

Esses standards podem ser obtidos facilmente através da internet.
